



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年12月13日

出 願 番 号

Application Number:

特願2001-379831

[ST.10/C]:

[JP 2001-379831]

出 願 人

Applicant(s):

キヤノン株式会社

2002年 1月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造

出証番号 出証特2002-3001089

【書類名】 特許願

【整理番号】 4495014

【提出日】 平成13年12月13日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G02B 6/10
G02B 6/12

【発明の名称】 半導体装置、光電融合基板、及びそれらの製造方法

【請求項の数】 36

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
内

【氏名】 内田 護

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子3丁目30番2号

【氏名又は名称】 キャノン株式会社

【代表者】 御手洗 富士夫

【電話番号】 03-3758-2111

【代理人】

【識別番号】 100090538

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
内

【弁理士】

【氏名又は名称】 西山 恵三

【電話番号】 03-3758-2111

【選任した代理人】

【識別番号】 100096965

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会
社内

【弁理士】

【氏名又は名称】 内尾 裕一

【電話番号】 03-3758-2111

【先の出願に基づく優先権主張】

【出願番号】 特願2000-400966

【出願日】 平成12年12月28日

【手数料の表示】

【予納台帳番号】 011224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908388

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、光電融合基板、及びそれらの製造方法

【特許請求の範囲】

【請求項 1】 光伝送領域及び該光伝送領域を伝搬する光を電気信号に変換する受光部を有する半導体装置であって、該光伝送領域は 2 次元型光導波路層を含み構成されており、且つ該受光部の少なくとも一部が該光伝送領域に埋め込まれていることを特徴とする半導体装置。

【請求項 2】 前記光伝送領域上に電気配線層が積層されている請求項 1 記載の半導体装置。

【請求項 3】 前記受光部は、前記 2 次元型光導波路層内を伝搬する光を直接受光可能であるように該光伝送領域に埋め込まれている請求項 1 記載の半導体装置。

【請求項 4】 前記受光部は、前記 2 次元型光導波路層の面内を伝搬する光を指向性無く受光可能であるように埋め込まれている請求項 1 記載の半導体装置。

【請求項 5】 前記受光部の前記光伝送領域に埋め込まれている部分が球状の面を有している請求項 1 記載の半導体装置。

【請求項 6】 前記受光部は、球状デバイスを含み構成されている請求項 1 記載の半導体装置。

【請求項 7】 前記光伝送領域に光を送信する為の発光部も、その一部が該光伝送領域に埋め込まれている請求項 1 記載の半導体装置。

【請求項 8】 前記光伝送領域は、該光伝送領域の上に位置する前記電気配線層と、該光伝送領域の下に位置する別の電気配線層により挟まれており、互いに電気配線層の少なくとも一部は、該光伝送領域を貫くビアにより電氣的に接続されていることを特徴とする請求項 2 記載の半導体装置。

【請求項 9】 前記電気配線層上に設けられた電子デバイスと前記光伝送領域との O/E 変換、あるいは E/O 変換の少なくとも一方が球状デバイスを用いて行われる請求項 2 記載の半導体装置。

【請求項 10】 電子デバイスおよび光デバイスが配置された基板であって

、少なくとも2層から構成され、該基板の第1層には、前記電子デバイス、前記光デバイス及びこれらを結合する電気配線が配置され、該基板の第2層には2次元型光導波路が形成されており、前記光デバイスは該2次元型光導波路を導波している光を受光する受光部を有し、該受光部の少なくとも一部は該2次元型光導波路に埋め込まれていることを特徴とする光電融合基板。

【請求項11】 前記2次元型光導波路が、シート状に形成されていることを特徴とする請求項10記載の光電融合基板。

【請求項12】 前記受光部が球状構造を有し、且つ該受光部は前記光導波路に埋め込まれるように該基板表面から実装されており、該基板の表面では前記電気配線と結合していることを特徴とする請求項10記載の光電融合基板。

【請求項13】 前記光デバイスには受光部とこれを駆動する、あるいは得られる電気信号を増幅する電気回路が形成されていることを特徴とする請求項10記載の光電融合基板。

【請求項14】 前記光デバイスのうち光源が、球状形状をなし、前記基板の前記光導波路に埋め込まれるように該基板に表面から実装され、該基板の表面では前記電気配線と結合していることを特徴とする請求項10記載の光電融合基板。

【請求項15】 前記光デバイスが球状構造であり、該光デバイスに光源および受光器かつ、それらを駆動する電子回路が集積されていることを特徴とする請求項10記載の光電融合基板。

【請求項16】 前記基板は、球状構造の送信用デバイス、及びパラレル信号ラインを有し、該パラレル信号ラインの出力端子が前記球状送信用デバイスに結合され、該送信用デバイスでパラレルシリアル変換することで、シリアル光信号として前記2次元型光導波路に送出することを特徴とする請求項10記載の光電融合基板。

【請求項17】 前記シリアル光信号を前記2次元型光導波路に埋め込まれた前記受光部で受光し、電気信号に変換されたあと、該受光部に同時に形成された電子回路によりシリアル/パラレル変換されて前記パラレル信号ラインに伝送されることを特徴とする請求項16記載の光電融合配線基板。

【請求項 1 8】 前記光電融合基板が可撓性のある基板材料で構成されている請求項 1 0 記載の光電融合基板。

【請求項 1 9】 球状半導体基板表面に電子デバイスと光デバイスが集積された光電融合集積回路であって、該光デバイスが、半径方向に p n 接合を含む多層膜を含み構成される受光素子であり、該電子デバイスが、該受光素子に逆バイアスをかけるバイアス回路および受光して電気信号に変換された信号を増幅する増幅器を少なくとも有することを特徴とする光電融合集積回路。

【請求項 2 0】 前記受光素子の少なくとも一部が光伝送媒体に埋め込まれている請求項 1 9 記載の光電融合集積回路。

【請求項 2 1】 前記球状半導体基板が S i 単結晶で構成されていることを特徴とする請求項 1 9 記載の光電融合集積回路。

【請求項 2 2】 前記球状半導体基板が G a A s 単結晶で構成されていることを特徴とする請求項 1 9 記載の光電融合集積回路。

【請求項 2 3】 前記受光素子を構成する多層膜が、p-Si、i-Si、n-Si で構成されることを特徴とする請求項 1 9 記載の光電融合集積回路。

【請求項 2 4】 前記受光素子を構成する多層膜が、p-GaAs、GaAsN および n-GaAs で構成されることを特徴とする請求項 1 9 記載の光電融合集積回路。

【請求項 2 5】 前記受光素子を構成する多層膜を作製する方法が、イオン注入法によるものであることを特徴とする請求項 1 9 記載の光電融合集積回路の製造方法。

【請求項 2 6】 球状半導体基板表面に電子デバイスと光デバイスが集積された光電融合集積回路であって、該光デバイスが、半径方向に p n 接合を含む多層膜を含み構成される発光素子であり、該電子デバイスが、該発光素子に順バイアスをかけるバイアス回路を有することを特徴とする光電融合集積回路。

【請求項 2 7】 前記発光素子の少なくとも一部が光伝送媒体に埋め込まれている請求項 2 6 記載の光電融合集積回路。

【請求項 2 8】 球状半導体基板表面に電子デバイスと光デバイスが集積された光電融合集積回路であって、該光デバイスが、前記球状半導体表面の一部を

平坦化して複数の微小平面を出したあと、該微小平面上に p n 接合を含む多層膜を積層して形成されており、該電子デバイスが、これに逆バイアスあるいは順バイアスにかかるバイアス回路を少なくとも有することを特徴とする光電融合集積回路。

【請求項 2 9】 前記光デバイスが光伝送媒体に埋め込まれている請求項 2 3 記載の光電融合集積回路。

【請求項 3 0】 前記球状半導体基板が S i 単結晶で構成されていることを特徴とする請求項 2 8 記載の光電融合集積回路。

【請求項 3 1】 前記球状半導体基板が G a A s 単結晶で構成されていることを特徴とする請求項 2 8 記載の光電融合集積回路。

【請求項 3 2】 前記球状半導体基板が I n P 単結晶で構成されていることを特徴とする請求項 2 8 記載の光電融合集積回路。

【請求項 3 3】 前記球状半導体基板が G a N 単結晶で構成されていることを特徴とする請求項 2 8 記載の光電融合集積回路。

【請求項 3 4】 前記 p n 接合を含む多層膜が、p - (A l , G a) (A s , P , N)、i - (A l , G a) (A s , P , N)、n - (A l , G a) (A s , P , N) で構成されることを特徴とする請求項 2 8 記載の光電融合集積回路。

【請求項 3 5】 前記球状半導体表面の一部を平坦化して複数の微小平面を出したあと、該微小平面上に半径方向に p n 接合を含む多層膜を積層する工程において、前記球状半導体表面の微小平面以外の領域を、誘電体膜等で被覆し、有機金属エピタキシャル成長法あるいはガスソース分子線蒸着法で微小平面のみに選択的に前記 p n 接合を含む多層膜を積層することを特徴とする請求項 2 8 に記載の光電誘導集積回路の製造方法。

【請求項 3 6】 前記球状の半導体表面の一部を平坦化してなる微小平面が、結晶工学的に等価あるいは化学的に近い結晶面からなることを特徴とする請求項 2 8 に記載の光電融合集積回路の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、光伝送媒体と光電変換を行う受光素子とが混載した半導体装置に関する。特に、該光伝送媒体が２次元型光導波路で構成されている光電融合基板に関するものである。また、本発明は電気配線層、及び光伝送層を有する光電融合配線基板に関する。また、本発明は、球状デバイスに関する。

【 0 0 0 2 】

【従来の技術】

近年著しい普及が目立つ携帯電話や個人情報端末（PDA：Personal Digital Assitant）には、小型・軽量であることと同時にトランジスタの処理速度が非常に高いことが求められる。

【 0 0 0 3 】

トランジスタの処理速度が上がるにつれ、即ちCPUのクロック周波数が上がるにつれて、電子回路基板内における配線遅延の影響が大きくなることが指摘されている。

【 0 0 0 4 】

配線遅延は、配線抵抗と配線容量の積に比例するため、配線抵抗あるいは配線容量の低減が必要となる。

【 0 0 0 5 】

配線遅延対策としては、チップ内およびチップ間の配線を極力短くすることが最も単純な対策方法となる。

【 0 0 0 6 】

一方、配線間隔が短くなると処理速度の向上は期待できるものの、別の問題点が顕在化してくる。

【 0 0 0 7 】

それは、EMI（電磁放射干渉ノイズ：ElectroMagnetic Interference）の問題である。

【 0 0 0 8 】

電子部品同士が近接して配置されることから、配線は短くなるが、配線密度は高くなる。

【 0 0 0 9 】

この結果、近接した信号線に高速の信号が流れた場合、相互の電磁誘導により電磁波が干渉し合ってノイズを発生し、信号が正しく伝送できなくなるのである。

【 0 0 1 0 】

特にモバイル端末では、低電圧化が進む影響で、従来より大電流で駆動されるケースが増えており、EMIの影響がより大きくなることが懸念される。

【 0 0 1 1 】

EMIの問題を解決する為に、本質的に電磁無誘導の利点を有する光配線を用いる方法が提案されている。

【 0 0 1 2 】

例えば特開 2 0 0 0 - 2 3 5 1 2 7 号公報には、図 3 5 に示すように電子素子と光素子とが集積化された回路基板が示されている。

【 0 0 1 3 】

同図において、5 2 0 1 は電子集積回路基板、5 2 0 4 は発光部、5 2 0 6 受光部、5 2 0 7 は光路変換部、5 2 1 0 はコンタクト電極である。5 2 1 1 は、回路基板 5 2 0 1 と発光部や受光部とを張り合わせるためのポリイミドである。5 2 1 2 は電気配線、5 2 1 3 は面発光レーザー、5 2 1 4 はフォトダイオード、5 2 1 5 は低反射層、5 2 1 6 はポリマー層、5 2 1 7 は第 1 のクラッド層、5 2 1 8 はコア層、5 2 1 9 は第 2 のクラッド層、5 2 2 0 高反射膜である。

【 0 0 1 4 】

発光部 5 2 1 3 から入力された光は、光路変換部で反射され、コア層 5 2 1 8 内を図中の矢印 5 2 2 1 の方向に伝搬し、再度光路変換された後、受光部 5 2 0 6 により受光される。

【 0 0 1 5 】

あらかじめ入力光が伝搬してくる方向が定められている場合には、上記図 3 5 に示される構成でも電気信号配線の一部を光配線に置き換えることが可能である。

【 0 0 1 6 】

【発明が解決しようとする課題】

しかしながら、例えば、コア層 5 2 1 8 を伝搬してくる入力光が、図中に矢印で示されている 5 2 2 2 方向からの光の場合は、同図の構成では受光できない。

【 0 0 1 7 】

そこで、本発明は、光伝送領域を伝搬してくる光を受光する際に方向依存性を低減した半導体装置を提供することを目的とする。

【 0 0 1 8 】

なお本発明は、方向依存性（指向性）の低減に寄与し得る発光デバイスあるいは受光デバイスを提供することも目的とする。

【 0 0 1 9 】

【課題を解決するための手段】

本発明に係る光電子融合装置は、光伝送領域及び該光伝送領域を伝搬する光を電気信号に変換する受光部を有する光電子融合装置であって、該光伝送領域は 2 次元型光導波路層を含み構成されており、且つ該受光部の少なくとも一部が該光伝送領域に埋め込まれていることを特徴とする。

【 0 0 2 0 】

本発明により光伝送領域を伝搬してくる光を受光する際の、受光感度の方向依存性を低減することができる。

【 0 0 2 1 】

また、本発明においては、前記光伝送領域上に電気配線層を積層しておくこともできる。電気配線層は、光伝送領域上の全面に積層しておいてもよい。勿論、光伝送領域上に、電気配線を含むいわゆる半導体チップを積層することもできる。斯かる場合には、半導体チップと光伝送領域間に前記受光部が介在することになる。

【 0 0 2 2 】

なお、受光部が p n 接合領域や、P I N 領域を有する場合には、当該領域の少なくとも一部が、前記光伝送領域に埋め込まれているのがよい。もちろん、実質的に当該領域の全部が埋め込まれていてもよい。

【 0 0 2 3 】

前記受光部は、前記 2 次元型光導波路層内を伝搬する光を直接受光可能である

ように該光伝送領域に埋め込まれていてもよい。

【 0 0 2 4 】

前記受光部は、前記 2 次元型光導波路層の面内を伝搬する光を実質的に指向性無く受光可能であるように埋め込んでおくこともできる。

【 0 0 2 5 】

前記受光部の前記光伝送領域に埋め込まれている部分は、球状の面を有しているのがよい。

【 0 0 2 6 】

前記受光部は、球状デバイスを含み構成されていてもよい。

【 0 0 2 7 】

前記光伝送領域に光を送信する為の発光部も、その一部を該光伝送領域に埋め込んでおくこともできる。

【 0 0 2 8 】

前記光伝送領域が、該光伝送領域の上に位置する前記電気配線層と、該光伝送領域の下に位置する別の電気配線層により挟まれており、そして、互いの電気配線層の少なくとも一部は、該光伝送領域を貫くビアにより電氣的に接続されていることもまた好ましいものである。

【 0 0 2 9 】

前記電気配線層上に設けられた電子デバイスと前記光伝送領域との O / E 変換、あるいは E / O 変換の少なくとも一方を球状デバイスを用いて行うこともできる。

【 0 0 3 0 】

また、本発明に係る光電融合基板は、電子デバイスおよび光デバイスが配置された基板であって、

少なくとも 2 層から構成され、該基板の第 1 層には、前記電子デバイス、前記光デバイス及びこれらを結合する電気配線が配置され、該基板の第 2 層には 2 次元型光導波路が形成されており、前記光デバイスは該 2 次元型光導波路を導波している光を受光する受光部を有し、該受光部の少なくとも一部は該 2 次元型光導波路に埋め込まれていることを特徴とする。

【 0 0 3 1 】

前記 2 次元型光導波路が、シート状に形成されていてもよい。

【 0 0 3 2 】

前記受光部が球状構造を有し、且つ該受光部は前記光導波路に埋め込まれるように該基板表面から実装されており、該基板の表面では前記電気配線と結合しておくこともできる。

【 0 0 3 3 】

前記光デバイスには受光部とこれを駆動する、あるいは得られる電気信号を増幅する電気回路が形成されていてもよい。

【 0 0 3 4 】

前記光デバイスのうち光源が、球状形状をなし、前記基板の前記光導波路に埋め込まれるように該基板に表面から実装され、該基板の表面では前記電気配線と結合していてもよい。 前記基板は、球状構造の送信用デバイス、及びパラレル信号ラインを有し、該パラレル信号ラインの出力端子が前記球状送信用デバイスに結合され、該送信用デバイスでパラレルシリアル変換することで、シリアル光信号として前記 2 次元型光導波路に送出することもできる。

【 0 0 3 5 】

前記シリアル光信号を前記 2 次元型光導波路に埋め込まれた前記受光部で受光し、電気信号に変換されたあと、該受光部に同時に形成された電子回路によりシリアル/パラレル変換されて前記パラレル信号ラインに伝送されることを特徴とすることもできる。

【 0 0 3 6 】

前記光電融合基板が可撓性のある基板材料（フレキシブルシート）で構成することもできる。

【 0 0 3 7 】

本発明に係る光電融合集積回路は、球状半導体基板表面に電子デバイスと光デバイスが集積された光電融合集積回路であって、該光デバイスが、半径方向に p n 接合を含む多層膜を含み構成される受光素子であり、該電子デバイスが、該受光素子に逆バイアスをかけるバイアス回路および受光して電気信号に変換された

信号を増幅する増幅器を少なくとも有することを特徴とする。

【 0 0 3 8 】

また、本発明に係る光電融合集積回路は、球状半導体基板表面に電子デバイスと光デバイスが集積されており、該光デバイスが、半径方向に p n 接合を含む多層膜を含み構成される発光素子であり、該電子デバイスが、該発光素子に順バイアスをかけるバイアス回路を有することを特徴とする。

【 0 0 3 9 】

また、本発明に係る光電融合集積回路は、

球状半導体基板表面に電子デバイスと光デバイスが集積されており、

該光デバイスが、前記球状半導体表面の一部を平坦化して複数の微小平面を出したあと、該微小平面上に半径方向に p n 接合を含む多層膜を積層して形成されており、

該電子デバイスが、これに逆バイアスあるいは順バイアスをかけるバイアス回路を少なくとも有することを特徴とする。

【 0 0 4 0 】

前記球状半導体表面の一部を平坦化して複数の微小平面を出した後、該微小平面上に半径方向に p n 接合を含む多層膜を積層する工程において、前記球状半導体表面の微小平面以外の領域を、誘電体膜等で被覆し、有機金属エピタキシャル成長法あるいはガスソース分子線蒸着法で微小平面のみに選択的に前記 p n 接合を含む多層膜を積層することができる。

【 0 0 4 1 】

前記球状の半導体表面の一部を平坦化してなる微小平面が、結晶工学的に等価あるいは化学的に近い結晶面で構成されていても良い。

【 0 0 4 2 】

【発明の実施の形態】

本発明の実施形態について図 1 を用いて説明する。

【 0 0 4 3 】

図 1 において、1 0 0 0 は、2 次元型の光導波路層を含み構成される光伝送領域、1 0 1 0 は該光伝送領域を伝搬してくる光を受光する受光部である。図 1 に

おける A A' での断面図が図 2 である。

【 0 0 4 4 】

図 2 に示すように、受光部 1 0 1 0 の少なくとも一部が光伝送領域 1 0 0 0 に埋め込まれていることで、光伝送領域を伝搬する光の該受光部が受光可能な光の方向依存性を低減した半導体装置の提供が可能となる。

【 0 0 4 5 】

光伝送領域は、例えばコア層を、該コア層よりも屈折率の低いクラッド層で挟むことにより形成される。コア層の材料としては、PMMA（ポリメチルメタクリレート）等の光学樹脂、石英系ガラス材料、及びポリスチレンやポリカーボネイトなどのプラスチック材料を用いることができる。クラッド層としては、コア層よりも屈折率が低ければ特に限定されるものではないが、例えばフッ素含有のポリマー材や、PCZやアートンなどを用いることが出来る。

【 0 0 4 6 】

2 次元型の光導波路層とは、予め光の伝搬方向が一方向に定められている線状導波路ではなく、面内の複数の方向に伝搬可能な面状の導波路を意味する。なお、本発明においては、2 次元型光導波路層を光シートという場合もある。

【 0 0 4 7 】

受光部は、O/E 変換を行うことができる光電変換デバイスである。いわゆる PN 型、あるいは PIN 型のフォトダイオードが適用できる。受光部の形状としては、PN 接合面は、光シートに水平であっても略垂直であってもよい。特に、前記光伝送領域に埋め込まれる部分の受光部の形状が多面体、あるいは球面形状を有するのがよい。

【 0 0 4 8 】

受光部を光伝送領域に埋め込む場合には、受光部の一部を埋め込んでもよいし、実質的にその全部を埋め込んでも良い。PN 接合部が少なくともコア層に埋め込まれているのがよい。

【 0 0 4 9 】

光伝送領域がコア層とクラッド層を含み構成されている場合には、コア層に達する深さまで受光部は埋め込まれているのが良い。

【 0 0 5 0 】

光伝送領域としての2次元型光導波路層上に電気配線領域を形成することもできる。その例を図3に示す。

【 0 0 5 1 】

図3において、1101は光電融合基板、1102はその内部に形成された2次元光導波路層（以下、「光シート」と称する。）である。1103および1106は、電気配線領域1108上に形成された電子デバイス（たとえばCPU、RAM、RF発振器等である）、1104は表面に形成された電気配線、図中矢印で示される1105は前記光シート中を伝播する光が形成する光配線である。

1109は、支持基板である。勿論、支持基板は必要に応じて設ければよい。あるいは支持基板自身がクラッド層として機能しても良い。

同図においては、電子デバイス1106から光シートを利用して、他の電子デバイス1107などに信号を伝送する様子が示されている。

【 0 0 5 2 】

例えば、電子デバイス1106から1107への配線を光配線で行う場合、電子デバイス1106からの電気信号をE/O変換部（図示せず）で光信号に変換し、当該光信号を光シート1102に拡散させる。光信号は、光シート内で全方位の方向に放射状に伝搬するが、主としてある特定方向に伝搬するように光シートに機能を持たせることもできる。

【 0 0 5 3 】

光シート内を伝播した光信号は、O/E変換部（図示せず）を経て、電子デバイス1107で受信される。こうして光配線が実現する。

【 0 0 5 4 】

また、2次元型の光導波路層を用いるために、例えば当初の回路パターンでは、電子デバイス1107が存在していない場合でも、電気配線領域1108の任意の位置（例えば図1）に配置することができる。勿論、任意の位置といっても電子デバイス1107を配置する為の空き領域は必要である。

【 0 0 5 5 】

そして、光配線を利用することでEMIの影響を少なくすることができると共

に、受光部の少なくとも一部が光導波路に埋め込まれているので、種々の方向からの信号光を受光することが可能となる。

【0056】

更にまた、光シートに信号光を送る発光部も、光シート内に少なくとも一部が埋め込まれているのが良い。その一例を図4を用いて示す。同図においては、電子デバイスをフリップチップ実装した場合について描いている。1103は電子デバイス、1104は金属配線領域、1201は受光部、1202は金属バンプ、1205は上部クラッド層、1206はコア層、1207は下部クラッド層、1208は発光部である。1210は、伝搬する光が受光部1201で受信される様子を示している。1203は、受光部で受光した光をO/E変換した電気信号が電子デバイスに送信される様子を示している。1211は、発光部1208からコア層1206内を伝搬する光が送信される様子を示している。

【0057】

図4において、発光部1208の一部がコア層1206に埋め込まれ、かつ球状のデバイス（詳細は後述する。）を用いてるので、コア層内の面内方向に拡散するように光が伝搬する。

【0058】

なお、ボールICの作製方法は、たとえば、以下の様に行われる。

(1) まず、Si球を作製する。粒状多結晶Siを直径2mmのパイプの中に入れて溶融し、ほぼ球形状の単結晶にする。この後、ボールベアリングを作製する要領で表面研磨を行い、1mmφの真球にする。

(2) 次に、ICプロセスパイプの中を通して、酸化や拡散プロセスを行う。パターン焼き付けは、たとえば、特開平10-294254号公報や特開平11-54406号公報に開示されている方法で実現可能である。前者では、Si球材料の球面に対応した回路パターンを備え、該Si球材料の球面に該回路パターンを全球面の半分以上の領域に渡って一括露光する。後者では、球状ICの中心を通る軸を任意に取り決め、該軸を中心にして球状ICを間欠的に回転させながら、この回転角に対応する球状IC表面の露光領域を、これに対応するマスクを用いて露光する。ここまでの工程でSiボールICが完成する。

【 0 0 5 9 】

なお、2次元の光導波路へ光を効果的に出射あるいは入射する際に、ミラー、プリズム、グレーティング、ホログラムなどを付加的に用いることもできる。

【 0 0 6 0 】

なお、本発明に用いられる球状半導体部材としては、Si、GaAs、InP、あるいはGaN、Ge、AlN、SiGe、GaAsNなどの材料で構成することができる。勿論、これら材料は単結晶であることが好ましいが、受光部あるいは発光部として十分機能する場合には、多結晶、あるいは非晶質であっても良い。

【 0 0 6 1 】

前記受光素子あるいは発光素子を構成する多層膜としては、例えば

p-Si/i-Si/n-Siで構成したり、

p-GaAs/GaAsN/n-GaAsで構成したり、

p-(Al, Ga)(As, P, N)/i-(Al, Ga)(As, P, N)
/n-(Al, Ga)(As, P, N)で構成することができる。

【 0 0 6 2 】

なお、(A, B)(C, D, E)との記載において、A, BはIII族元素を、C, D, EはV族元素を示す。(A, B)(C, D, E)との記載は、 $A_x B_{1-x} C_y D_z E_{1-y-z}$ を表す。

【 0 0 6 3 】

【実施例】

(実施例1：光シート+球状型受光デバイス)

第1の実施例について図1、図2、図5、及び図6を用いて説明する。

光伝送媒体1000のコア層として、光学樹脂であるPMMAを用いた。該コア層を挟むように形成されるクラッド層としては、ポリイミドを用いた。光伝送媒体全体の厚さは約0.8mm(コア層0.2mm、クラッド層0.3mm)、大きさは30×30mmであった。なお、光伝送媒体の具体的な製造方法は、後述する。

【 0 0 6 4 】

受光部 1 0 1 0 としては、球状のデバイスを用いることができる。

【 0 0 6 5 】

球状光デバイスの模式的断面図を図 5 に示した。同図において、1 5 0 1 は球状 p 型 S i 部材である。なお、S i 球自体は、例えば粒状多結晶 S i を溶融し、ほぼ球形状の単結晶にした後、ボールベアリングを作製する要領で表面研磨を行い真球にすることにより得られる。球状の S i 部材 1 5 0 1 上に、第 1 のクラッド層 1 5 0 2 として P 型 A l G a A s N を、活性層 1 5 0 3 としてアンドープ G a A s N、第 2 のクラッド層 1 3 0 4 として n 型 A l G a A s N を成長させる。

【 0 0 6 6 】

ここで G a A s N 系の化合物半導体を用いたのは、バンドギャップが G a A s に対して小さくかつ温度特性に優れていること、更に S i と格子整合しやすいからである。

【 0 0 6 7 】

勿論、球状 S i 上に化合物半導体薄膜を成長させるのではなく、P 型球状シリコン表面に N 型のシリコン薄膜を成長させ、P N 接合を形成することでも受光部（フォトダイオード）は作製される。また、薄膜成長によって P N 接合を作る代わりに、イオン注入法や拡散法（熱拡散あるいは固相拡散）を用いても良い。

【 0 0 6 8 】

このボール I C の極点部には、カソード 1 5 0 4 と、ビアホール 1 5 0 6 を介して電氣的に接続されたアノード 1 5 0 5 が形成されている。ビアホール 1 5 0 6 は、エッチングやレーザー加工により形成することができる。

【 0 0 6 9 】

受光部 1 0 1 0 を次に光伝送媒体に埋め込む。具体的には、図 6 に示すように、クラッド層 1 6 0 5 とコア層 1 6 0 6 に達する程度にまで埋め込む。1 6 0 7 はクラッド層である。

【 0 0 7 0 】

受光部を埋め込む為には、埋め込み領域に対応する穴を光伝送媒体にあける必要がある。穴あけ用の金属の金型を熱した後、光伝送媒体に押しつけることで、受光部に対応する穴は形成される。形成された穴に受光部 1 0 1 0 を埋め込むこ

とで、本発明にいう半導体装置ができあがる。受光部 1 0 1 0 は、カソード 1 5 0 4 およびアノード 1 5 0 5 間に逆バイアスをかけておくことで、入射した光は、P N 接合で吸収され電気信号として得られる。

【 0 0 7 1 】

以上説明したように、光伝送媒体を伝搬してくる光の方向依存性（指向性）が著しく低減された半導体装置が作製される。また、光伝送領域を伝送してきた光を受光部が直接受光することができる。

【 0 0 7 2 】

なお、受光部として、球状のデバイスを用いたが、光伝送媒体に埋め込むことが出来れば球状に限定されるものではなく、P N 接合を有する通常のフォトダイオードでもよい。

【 0 0 7 3 】

また、受光部とともに、発光部をも球状デバイスで作製し、その一部を光伝送媒体に埋め込んでもよい。更に、光シート上の全体に電気配線層を形成しておくことも可能である。電気配線用のプリント基板の下層に予め上述の光シートを設けておき、必要に応じて、配線の一部を光配線にすることも好ましい形態である。

【 0 0 7 4 】

（実施例 2：電子デバイスの追加方法）

本発明において受光部の方向依存性が低減されることに鑑み次のような電子デバイスの追加方法が可能である。

【 0 0 7 5 】

図 7 から図 9 を用いて説明する。図 7 において、1 7 5 0 は光電融合基板を示している。1 7 0 0 は光伝送媒体、1 7 2 0 は電気配線層、1 7 0 7 及び 1 7 0 5 は電子デバイスである。1 7 0 5 は、光伝送媒体 1 7 0 0 に信号光を伝搬させることが可能な発光部（図示せず）を備えている。1 7 2 0 は電気配線層（例えばプリント基板）である。

【 0 0 7 6 】

光電融合基板 1 7 5 0 に新たに電子デバイス 1 7 0 6 を空き領域 1 7 3 0 に追

加する場合、光伝送媒体が備えられていなければ、単に電子デバイス 1 7 0 6 を追加し、個々のデバイス間で電気配線を行うしかない。しかし、光電融合基板 1 7 5 0 の場合は、例えば電子デバイス 1 7 0 5 と 1 7 0 6 間を光配線を利用することができる。図 7 において、1 7 8 0 は、既述の方法により作製される受光部である。

【 0 0 7 7 】

光伝送媒体 1 7 0 0 は、図 8 に示すように予め埋め込み用の穴を形成しておく。埋め込み様の穴は、一つでも複数でも良い。予め、複数個の穴が形成されているのが配置の自由度の観点からは良い。例えば、穴をアレイ状に形成しておくのである。図 8 において、1 7 4 1 は電子デバイス 1 7 0 5 の発光部が埋め込まれる為の穴である。なお、使用していない穴 1 7 4 4 は、樹脂等で埋めておくこともできる。光伝送媒体内を伝搬する光が、未使用の穴により不必要に散乱されるような場合には効果的である。なお、穴の充填物を取り除きやすいように、穴を埋める樹脂とその周囲とのエッチング特性に差を持たせておくのも好ましい。

【 0 0 7 8 】

本実施例においては電子デバイス 1 7 0 6 を追加するにあたり、穴 1 7 4 0 を利用する。

【 0 0 7 9 】

図 9 に示すように、電子デバイス 1 7 0 6 を追加しようとする領域を除去して、穴 1 7 4 0 を露出させる。勿論、図 7 に示す 1 7 3 0 の領域に電気配線層 1 7 2 0 が形成されていない場合には斯かる工程は省略できる。その後、穴 1 7 4 0 に充填物がある場合には、それをエッチング等により除去する。そして、電子デバイス 1 7 0 6 の受光部 1 7 8 0 が穴 1 7 4 0 に埋め込まれるように、該デバイスを追加する。電子デバイス 1 7 0 5 は発光部を有しているので、電子デバイス 1 7 0 6 が追加されるまでは、使用されていなかった光伝送体 1 7 0 0 を用いて、電子デバイス 1 7 0 5 と 1 7 0 6 間の一部を光配線により接続することが可能となる。

【 0 0 8 0 】

本実施例によれば、携帯電話に内蔵されるような非常に小さなプリント基板に

新たにデバイスを追加する場合に、光配線を用いることができ、電子デバイスの追加に伴う E M I の影響を低減することができる。

【 0 0 8 1 】

既存の配線パターンを前提に、新たに電子デバイスを追加しようとする場合、新たに追加される電子デバイスによって既存の回路群が E M I の影響を受ける場合もある。かかる場合には、本実施例のように光配線を用いることができる。

【 0 0 8 2 】

新たに追加される電子デバイスの位置に対応して、線状の導波路があらかじめ形成されていれば、図 3 5 に示すような構成でも光配線が可能であるが、これでは配置の自由度が極めて低くなってしまう。予め形成されている線状の導波路位置に、新たなデバイスの追加位置が依存してしまうからである。本実施例のように 2 次元型の光導波路を用いることで、デバイス配置の自由度が高い光配線が可能となる。

【 0 0 8 3 】

(実施例 3 : 光電気 2 層基板 + 球状光 I / O デバイス)

図 3 は本発明の実施例を説明するための模式的斜視図である。

【 0 0 8 4 】

図 3 において 1 1 0 1 は光電融合基板、1 1 0 2 はその内部に形成された 2 次元光導波路層 (以下、「光シート」と称する。)、1 1 0 3、1 1 0 6 及び 1 1 0 7 はその表面に形成された電子デバイス (たとえば C P U、R A M、R F 発振器等)、1 1 0 4 は表面に形成された電気配線、1 1 0 5 は前記光シート中を伝播する光が形成する光配線である。

【 0 0 8 5 】

まず、光シートの作製方法について説明する。

【 0 0 8 6 】

光シートの構造は、光を所定の距離、伝送できれば特に限定されるものではないが、以下の条件を満たすものがより好ましい。

(1) 光を導波する 2 次元スラブ型光導波路を有すること。

【 0 0 8 7 】

伝播損失は、小さければ小さいほど良いが、伝送距離に依存する。たとえば、 0.1 dB/cm のものであれば、数 cm 角の基板が使用できる。

(2) 表面に電気配線が作製できること。

【0088】

これは、従来の電気配線パターンをそのまま生かすためである。

【0089】

支持基板およびクラッド層として PMMA を用い、光導波路層にはポリイミド等の有機樹脂を使用することで、上記 (1) と (2) を満たすものが得られる。なお、光伝送層は、電気配線層下の全面に設けてあることが望ましい。

【0090】

図4に、図3中のB部における断面図を示す。電子デバイス1103が、光シート1102を利用して光インタコネクションを行う場合を説明する。同図においては、受光部1201と発光部1208が電子デバイス1103から分離している場合を示す。勿論、電子デバイス1103自体に受光部、発光部が内蔵されていてもよい。

【0091】

1207は樹脂基板（兼クラッド層）、1205はクラッド層、1206は1205や1207よりも屈折率の高いコア層である。それぞれの厚さは、基板0.5mm、コア層0.1mm、クラッド層0.3mmとしたが、これらのサイズに限るものではない。

【0092】

この3層を一体化したものが、光シートである。基板に可撓性のある PMMA 基板を用い、且つコア層及びクラッド層を塗布して成膜可能なポリイミド樹脂を用いることで、曲げに強いフレキシブル基板とすることができる。

【0093】

本実施例では球状 Si 基板上に化合物半導体で形成した光 I/O デバイス（球状光デバイス）を用いている。

【0094】

この球状光デバイスについて簡単に説明する（球状デバイスに関連する事項が

、例えば特開平 1 2 - 3 1 1 9 0 号公報に記載されている)。

【0 0 9 5】

球状光デバイスの模式図を図 5 に示した。同図において、1 5 0 1 は球状 p 型 Si 基板、1 5 0 2 は P 型 AlGaAs N クラッド層、1 5 0 3 アンドープ GaAs N 活性層、1 5 0 4 は n 型 AlGaAs N クラッド層である。ここで GaAs N 系の化合物半導体を用いたのは、1) バンドギャップが小さくかつ温度特性に優れていること、2) Si と格子整合しやすいことからである。基板を含め他の材料系を用いても良い。

【0 0 9 6】

このボール IC の極点部には、カソード 1 5 0 4 と、ビアホール 1 5 0 6 を介して接続されたアノード 1 5 0 5 が形成されている。本実施例では、発光素子と受光素子を同構造のものをを用いたが異なる構造としても良い。カソード 1 5 0 4 は光の入出力を行うため、窓構造やメッシュ構造となっていることが望ましい。

【0 0 9 7】

発光素子としてボール IC 動作させる場合には、カソード 1 5 0 4 およびアノード 1 5 0 5 間に順バイアスをかけることにより、キャリアが PN 接合に注入され、発光する。発光した光は光出射窓から広角に放射される。

【0 0 9 8】

一方、受光素子として動作させる場合には、カソード 1 5 0 4 およびアノード 1 5 0 5 間に逆バイアスをかけることにより、光入射窓から広角から入射した光は、PN 接合で吸収され電気信号として近接した電子デバイスに取り込まれる。

【0 0 9 9】

発光デバイスの場合も受光デバイスの場合も、その表面は球面形状を有しているため、広い角度で、出射および入射が可能なことが大きな特徴となっている。

【0 1 0 0】

なお、本実施例のボール IC は、光 I/O 部だけでなく、他の IC も同時作製することが可能である。IC の作製方法については、その露光方法などについて特開平 1 0 - 2 9 4 2 5 4 号公報 (米国特許第 6 0 9 7 4 7 2 号公報) 「球状デバイス露光装置及び製造方法」等の開示されている。

【0101】

本実施例では、受光素子用としてCMOS構成の3.3V動作プリアンプを使用した。

【0102】

次に、この球状光デバイスの実装方法について図10から12を用いて説明する。

【0103】

まず、前記光シート基板に前記ボールICをはめ込むことの可能な半球状の穴をあける。あける方法は任意でよい。フォトリソグラフィとエッチングを用いて予め決まった場所に形成しても良いし、レーザ等を用いて任意の場所に個別にホールを形成しても良い。本実施例においては、熱溶解プロセスを用いた。

【0104】

図10のように、メタルのボールを金型2000としてこれを熱して上記樹脂基板1207に押し当て（図11）、半球状のくぼみ2100を作製した（図12）。その深さは、光配線基板のコア層近傍に達するまでとした。勿論、穴がコア層の下側に届く程度にくぼませてよい。

【0105】

当該工程の後に、光シートの上に図4に示すように、電気配線1104をプリントした後、LSIに代表される電子デバイスを実装する。この実装方法は任意でよいが、ここではフリップチップ実装法を用いた。

【0106】

次に、光シートのくぼみに光I/O部がくぼみの底になるように実装する。光取り出しおよび光取り込みが可能なようにくぼみの底に光I/O部が接するように位置合わせし固定する（図13参照）。本実施例の場合、球面なので、細かい位置合わせ精度は必要としない。くぼみ2100と球状デバイスの位置合わせを行った後、紫外線硬化樹脂等で固定した。

【0107】

最後に、球状光I/Oデバイスと表面実装した電子デバイスとをプリント電気配線でつなぐ。これには、バンプかメッキが望ましい。

図 1 3 は、バンプ 2 3 0 2 で、プリント配線 1 1 0 4 と電極 1 5 0 4 とを接続した例を示している。

【 0 1 0 8 】

なお、E/O、及び O/E 変換部として球状 IC を用いた例を示したが、これに限定されるものではない。

【 0 1 0 9 】

(動作原理)

以下動作原理について説明する。

【 0 1 1 0 】

まず、送信機能について説明する。

【 0 1 1 1 】

図 4 は、図 3 の A 部の拡大図である。図 4 において、LSI 1 1 0 3 の I/O 部の出力電気信号 (CMOS ロジック) は、電気配線 1 1 0 4 を介して近傍の電子デバイスに信号を伝送することができる。

【 0 1 1 2 】

しかし、近接した光 I/O デバイス (たとえば、球状光デバイス) を直接駆動して出力光信号 1 2 1 1 を発生し、光導波路層 (光シート) 1 2 0 6 を介して、光配線として用いることも可能である。必要に応じて、どちらかの方法を選択することもできる。

【 0 1 1 3 】

近接した球状光デバイスを駆動する場合を考える。

【 0 1 1 4 】

LSI のロジック信号 (たとえば CMOS なら 3.3 V) は、前記球状光デバイスを駆動するのに十分な電圧である。球状光デバイスに順バイアスとなるようロジック信号を印加することで、電気信号は光信号に変換される。

【 0 1 1 5 】

このとき、光は球面全体に放射されるため、特別な光学系なしで、光シート全面に拡散伝播していく。この結果、導波路への結合効率は 80% 以上を確保できる。

【 0 1 1 6 】

次に、受信機能について説明する。

【 0 1 1 7 】

光シート 1 2 0 6 の任意の方向から伝播してくる入力光信号 1 2 1 0 は、球状受光素子 1 2 0 1 の表面に達すると内部に取り込まれ、逆バイアスをかけた P N 接合付近で吸収され電子信号に変換される。

【 0 1 1 8 】

変換された電気信号は入力電気信号 1 2 0 3 として近接する L S I 1 1 0 3 内部に取り込まれ処理される。この際、球状光デバイス表面に電気信号を増幅するプリアンプを集積していれば、C M O S コンパチブルの電圧に復元することができる。

【 0 1 1 9 】

以上のように本発明を用いれば、受光部の方向依存性を低減することができるとともに。

【 0 1 2 0 】

なお、複数のメタル配線が互いに近接して配置されているときに高速データ通信（例えば 1 G b p s ）を行うと、その近傍の電磁放射ノイズの強さは、「発生源の強さ（周波数、波形、駆動電流）」×「伝達係数（電源ラインとの共振、近接するラインとの結合）」×「アンテナ要因（コネクタ、電極）」で表わされる。

【 0 1 2 1 】

つまり、配線長が長いほど、あるいは電流値が大きいほど、あるいは信号のスピードが速いほど、若しくは信号パルスが矩形波に近いほどノイズレベルが高くなる。

【 0 1 2 2 】

従って、高速処理が必要となる C P U 等の近傍でメタル配線を用いる場合は E M I を根本的に除去することはできない。

【 0 1 2 3 】

一方、本実施例のように配線に光を用いることで、これらを改善することが可

能である。光配線では電磁誘導がないため伝達係数がゼロになるからである。

【0 1 2 4】

とりわけ本実施例のように、電気配線層と光伝送層を2層に分離して配置し、且つ該光伝送層を2次元光導波路（光シート）とすることにより、特定のデバイスによるEMIの影響を防止し、作製プロセスも容易な光電融合配線基板を提供することができる。

【0 1 2 5】

一方、光配線の1本当たりの配線に要するその物理的な大きさは、光導波路（いわゆる一次元型の導波路）を用いる場合、電気配線に比べ一桁以上大きい。それ故、すべての電気配線を光配線に変更することは、サイズが大きくなったり、曲げによる損失が大きくなるなどのデメリットの方が大きくなる。

【0 1 2 6】

更に、光配線を導入することで、従来の電気配線パターンの変更を余儀なくされるデメリットもある。

【0 1 2 7】

本実施例では、該光伝送層を2次元光導波路（光シート）とすることで、上記2つのデメリットを改善している。光配線となる光導波路に2次元導波路（シート状光導波路）を適用することで、配置の自由度を高めている。また、発光部から光シートに光を伝送する場合には、当該発光デバイスからその全方向に2次元的に光データを送信することができる。

【0 1 2 8】

なお、2次元光導波路に接続できる発光デバイスとしては、2Dの全方位に光を放射でき、また、受光デバイスとしては2Dの全方位からの光を受けることができることが望ましい。当該デバイスとは例えば、球面上に作製された光デバイスである。

【0 1 2 9】

受光素子の表面を球状とした場合、全ての方位からの光を受光可能なようにデバイス設計することができる。これは、伝播方向が固定の導波路の光を取り込む際には、実装精度の大幅な緩和効果として現れる。

【 0 1 3 0 】

球状の光デバイスにバイアス回路が増幅回路を作り込むことで、この球状デバイス単独で、光 I / O 素子として動作させることができる。このことは、従来の電子回路の設計に与える影響を少なくして、光インタコネクトを実現できる。

【 0 1 3 1 】

(実施例 4 : クロック配信)

次に本発明の応用例について説明する。

【 0 1 3 2 】

図 3 において、1つの基板 1 1 0 1 上に複数の電子部品 (CPU やメモリなど) 1 1 0 3 が実装され、その配線の一部が実施例 3 のように、球状光デバイス 1 2 0 1 で基板に結合している場合を考える。

【 0 1 3 3 】

図 3 において、LSI 1 1 0 6 はクロックジェネレータとする。

【 0 1 3 4 】

このとき、クロック信号を球状光デバイス 1 2 0 8 を介して信号を光電融合基板の光導波路部に送る (図 4)。光配線を選択された信号は、球状光デバイスに出力され、これは CMOS で送られる信号そのもので駆動される。特別にドライバは必要としない。そのために光デバイスとしては低電圧で動作する GaAsN 系の半導体レーザを用いる。

【 0 1 3 5 】

球状光デバイス 1 2 0 8 はクロック信号を光に変換し、基板上のすべてのデバイスに光信号となったクロック信号を配信する。基板上の任意の電子デバイス (たとえば MPU 1 1 0 3) もまた、球状光デバイス 1 2 0 1 を有しているので、クロックジェネレータ 1 1 0 6 からの光信号を受光する。球状光デバイス 1 2 0 1 は球面形状を有しているため、任意の方向からの光を高い受光効率で受けることができる。

【 0 1 3 6 】

受光した光は、電子とホール対に分かれ、球状光デバイス上あるいは近接する LSI に作製されたプリアンプによって、電気信号が増幅され、MPU に取り込

まれる。他のデバイス（たとえばRAM）も同様な方法でクロック信号を受けることができるため、共通のクロックで動作させることができる。

【0137】

従来、個々のデバイスにクロック信号を分配しようとする、自由に配線パターンを選べないため、あるいは、配線距離が等長にできないために配線遅延や高速大電流動作によるEMIの影響が無視できなかったが、本実施例によれば、光配線を用い最短距離でかつ電磁無誘導で配線できるため、これら問題点を一挙に解決できる。

【0138】

（実施例5：MPU→メモリ（シリアル伝送））

つぎに他の応用例について説明する。

【0139】

図14は、本発明の実施例を説明するための模式図である。図において、2407、2408は2つのCPUである。2409は、この2つのCPUが共有するRAMである。同図において、2401はパラレル伝送用の電気配線、2402はシリアル伝送用の光配線である。

【0140】

通常の電気配線では、たとえば、6本の伝送路で64ビット幅のデータ線2401を必要としている。

【0141】

大容量のデータ高速で送る用途（動画など）では、従来の配線では、先に述べた理由（配線遅延やEMI）により、正しくデータを送ることはできない場合がある。このような場合に光配線を使うことができる。具体的には、CPUとRAM間の信号のやり取りの全部あるいは一部に光配線2402を用いる。

【0142】

また、図14において、2400がMPU、2407と2408がメモリの場合を考える。MPUからメモリに64ビット幅でデータを送るため、電気配線としては6本必要だが、MPUの最終段でパラレル・シリアル変換し、1個の光I/O素子を接続することで、電気信号が、光信号として、光電融合基板の光導波

路部で伝送され、受け側の光 I/O 素子で受光したあと、シリアル・パラレル変換することで、64ビット幅のパラレル信号とする。

パラレルからシリアル変換することで、クロックは高くなるが、光導波路に伝播するため EMI の心配はない。

【0143】

本実施例では最初から光配線を選択しているが、かならずしも光配線のみを使用する必要はない。つまり、電気配線のパスも選択できるようにしておくことで、あるときは電気配線、あるときは光配線として接続することが可能である。この柔軟性が本発明の特長の一つである。

【0144】

電気配線では、EMI を避けるため、他のデバイスを避けるように配線する場合があり、その結果配線長が長くなり、今度は配線遅延や波形歪の原因となる場合がある。このとき、光配線を選択することで、最短で EMI フリーの接続ができるため、配線遅延も波形歪を生じない。

【0145】

どの信号を電気配線あるいは光配線にするかは最終判断は、バスを管理するデバイスが決定する。

【0146】

光に変換された光は、2Dの光導波路中を拡散して伝播し、他所に配置された IC へ到達する。この IC 近傍にも O/E 変換用のボール IC が設置されている。本実施例は、同一のボール IC を設置した。表面が球形状をしているために、プリズムやミラー等を用いなくとも、直接光が p-n 接合面に当たるため、きわめて簡便に実装可能である。

【0147】

(実施例 6 : ボール Si に p-i-n-PD とアンプを集積)

図 15 は本発明に係る実施例を説明するための模式図である。

【0148】

図において 2508 は球状 Si 基板であり、その北半球部は表面を示し、その南半球部は断面図を示している。2509 はその南半球部に形成された受光素子

、2503はそれを駆動するバイアス回路や電気信号を増幅するプリアンプ等のICである。なお、2510は光導波路基板、2506はコア層、2505はクラッド層、2506は電極、2512はプリント配線、2504はバンプ、2511は出力光、2507は入力光である。

【0149】

以下、図15に示す半導体装置の製造方法について説明する。

【0150】

まず、図16のように、アンドープ球状Si基板2601（直径約1mmφ）のほぼ半分（南半球部）に、イオン注入により、p-Si層2521、i-Si層2509、n-Si層2520を形成し、受光素子領域とする。深さはそれぞれ0.3μm程度である。必要に応じて、アニール処理により結晶回復を行う。

【0151】

次に、図17（上半分は球表面を、下半分は球断面を表している）に示すように、残りの球表面領域（北半球部）に、この受光素子に逆バイアスをつけるためのバイアス回路2701、光信号から変換された電気信号を所望の電圧レベルまで増幅するプリアンプ回路2702、および波形整形回路2703等を作製する。なお、2704は電気配線、2705は受光素子電極、2506は電子回路電極である。電極2705はp-Si層に2521、2706はn-Si層2520にそれぞれ電極を印加するための電極であるので、電極2705の電位がn-Si層2520に印加されないようにしておく。

【0152】

ここでは、すべての電子回路は3.3V CMOSロジック回路を用いる。同時に、受光素子の正電極2705および負電極2706および配線パターン2704を形成する。また、2506は、電子回路入出力用の外部電極である。

【0153】

以下に実装方法の一例を示す。図15において、たとえば、2510はPMM Aでできた基板を兼ねたクラッド層であり、2506は光導波路となるコア層（シート状になっている）、2505はクラッド層である。

コア層2506およびクラッド層2505は、感光性ポリイミド等を塗布し、本

発明の球状光電融合デバイスが、はめ込むことができる窪みをホトリソ技術等で作製する。この上に所望の配線パターンをプリントしたあと、紫外線硬化樹脂（図示せず）で本発明の光電融合デバイスを固定する。

【0154】

この後、図18に示すようにAuバンプ2804等を用いて配線パターン2803とデバイス上の電極2506とのコンタクトをとる。この工程は、バンプのかわりに、メッキを用いてもよい。

【0155】

以下動作原理について説明する。

【0156】

図15あるいは図17において、光電融合デバイスのpn接合に、バイアス回路2701によって、逆バイアス（たとえば3.3V）をかける。このとき、この光電融合デバイスは、2次元の光コア層2506中を任意の方向から伝播してくる光信号を受光することができる。これは光伝送媒体に受光部の少なくとも一部が埋め込まれているからである。

【0157】

入力光信号は内部に取り込まれ、逆バイアスをかけたPN接合付近で吸収され、電子信号に変換される。変換された電気信号は入力電気信号として近接するプリアンプ2702でCMOSロジックレベルまで増幅されたあと、さらに波形整形回路図17の2701等で処理されたあと、バンプでコンタクトされたプリント配線に伝送される。

【0158】

以上、説明した実施例により、（1）2次元の任意の方向からの光を受信でき、（2）集積された電子回路で、増幅や波形整形ができ、（3）実装が容易となる。更に、（4）既存の電子回路に与える影響少なくして、1つのデバイスで、光インタコネクットのI/Oとすることができる。

【0159】

（実施例7：III-VN on ボールGaAs）

本実施例は、球状Si基板の代わりに、球状GaAs基板を使用するものであ

る。

【0160】

図19を用いてその製造方法について説明する。

【0161】

高純度アンドープ球状GaAs基板2901の表面から、イオン注入により、2902 p型GaAs層、2903 GaAsN光吸収層、2904 n型GaAs層を形成する。

【0162】

p型の不純物濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 、n型の不純物濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 程度である（イオン種は任意に定めることができる）。アンドープGaAsNは、GaAsに対しNを高濃度にイオン注入（例えば、 $1 \times 10^{21} \text{ cm}^{-3}$ ）することで構成される。イオン注入時のダメージを除去するためには、RTA（Rapid Thermal Annealing）が効果的である。

【0163】

注入深さは、GaAsN層が厚さ0.2 μm となるように他の層のイオン注入条件を設定した。

【0164】

後のプロセスや実装工程は、実施例6に準ずる。

【0165】

電子回路部は、Bipolarプロセスで行うことで実施例6と同等以上の機能を有する電子回路を作製することができる。電極は、完全な窓構造ではなく、メッシュ構造でも良い。

【0166】

以下、実施例6と異なる点を中心に説明する。

【0167】

受光デバイスとして動作させる場合には、実施例6の場合と同じである。すなわち、図19におけるp-GaAs層2902とn-GaAs層2904にそれぞれ逆バイアスをかけることにより、光入射窓から広角から入射した光は、PN接合で吸収され電気信号として近接した電子デバイスに取り込まれる。GaAs

NはGaAsよりもバンドギャップが小さいのでGaAsよりも低電圧で動作する。

【0168】

さらには、Siよりも移動度が大きいため高速応答が可能である。なお、2903は、i-GaAsN層である。

【0169】

GaAsNは直接遷移型の化合物半導体であるため、発光素子としても使用可能である。発光素子として動作させる場合には、図15あるいは図17において、電極2705および2706に順バイアスをかけることにより、PN接合で発光した光は光出射窓から広角に放射される。ロジックデータそのもので駆動してもよいし、ドライバ回路を介して駆動してもよい。

【0170】

発光デバイスの場合も受光デバイスの場合も、その表面は球面形状を有しているため、広い角度で、出射および入射が可能なが大きな特徴となっている。

【0171】

(実施例8: GaAsN films on facets of Ball Si)

図20は本実施例を説明するための模式図である。

【0172】

本実施例は、ボールSi基板にGaAsN/AlGaAsNを積層して、発光素子あるいは受光素子としたものである。3101は球状半導体基板、3102はIC、3103は光デバイス、3104はパンプ、3105は光導波路基板、3106はコア層、3107はクラッド層、3108はプリント配線、3109は出力光、3110は入力光である。

【0173】

以下、製造方法について説明する。

【0174】

(ボールICの作製)

図21のように、アンドープ球状Si基板(1mmφ)3101の半球表面(

ここでは北半球表面)に、IC3102を作製する。このICは、発光素子の場合、駆動ICだったり、パラレルシリアル変換回路だったりする。受光素子の場合には、バイアス回路、プリアンプ、波形調整回路、あるいはシリアルパラレル変換回路だったりする。もちろん両方の機能を兼ねる場合は、それに応じた電子回路を付加する。これらの回路は、通常のCMOSプロセスで作製可能で、そのロジック電圧は、3.3Vである。3111は電気配線である。

【0175】

(光デバイスの作製)

SiボールICプロセスがほぼ終了したあと、光デバイスを作製する。

【0176】

まず、球全体を窒化膜(SiN)等でカバーし、光デバイス作製部分を平面に研磨およびポリッシングする。窒化膜で覆うのは、光デバイスプロセス中に電子デバイスを保護するためと、選択成長用マスクとして使用するためである。球面を覆うため、応力の小さい膜を形成することが望ましい(ここではSi₃N₄(厚さ200nm)を用いた)。

【0177】

光デバイス作製領域として、本実施例では、南半球における(111)面およびそれに準ずる面((100)、(010)、(-100)、(0-10)全部で4面)3301を用いた(1辺約20μm程度の三角平面)。図22は、図21をS極方向から見た平面図であり、3101は球状基板、3301は(111)相当面である。

【0178】

図23は、このひとつの面の断面図である。必要であれば再び窒化膜等で全体を覆ったあと、デバイス作製領域のみに窓を開ける。開口部の形状に応じて選択成長するので、本実施例では円筒状になるよう開口部を制御した。3101は球状半導体基板、3301は(111)面、3401はSiN膜である。

【0179】

ここで(111)相当面を選んだ理由は以下の通り。

(1) 化学的に等価であることから、次に行う結晶成長で均一な構造を作製でき

る。

(もし、他の結晶面を含む場合、組成や膜厚、結晶成長方向には異方性が生じる。)

(2) S極に接する面(光の伝播方向に、少なくとも4つの方向に光を放出、あるいは少なくとも四方向からの光を受光できるためである。上記と同等以上の機能を有するのであれば、(1 1 1)相当面に限るものではない。

【0 1 8 0】

(結晶成長)

図24を用いてデバイス構造について説明する。ガスソースMBE(分子線エピタキシー)法あるいはMOCVD(有機金属蒸着)法を用いて、選択領域(開口部)のみに GaN_xAs_{1-x} をバッファ層3501としてまず積層する。このときの格子定数はクラッド層および活性層の条件に応じて適宜選べばよい。

【0 1 8 1】

ここでは、 $In_{0.1}Ga_{0.9}As$ に格子整合するよう窒素組成Xを0.2から0まで徐々に変化させたあと、 In の組成を徐々に変化させながら $InGaAs$ をさらに積層した。この後、 $n-InAlGaAs$ クラッド層3502、 $GaInNAs/InAlGaAs$ MQW(多重量子井戸)活性層(発光波長1.3 μm)3503、 $p-InAlGaAs$ クラッド層3504および $p-InGaAs$ コンタクト層3505を順次積層する。光入出射用の窓3507をつけたあと正電極3506を形成する。引き続き負電極を球内部から所望の位置に形成し、不必要な窒化膜を除去し、ICの電極と配線して本実施例は完成する。3101は球状半導体基板、3401は選択マスクである。

【0 1 8 2】

(実装)

実装例を図25に示す。図において3601はPMMA等の基板であり、3602はその上に形成されたポリイミド等からなる光導波路コア層である。その上にPMMAに準じたクラッド層3603が形成されている。このクラッド層3603およびコア層3602に上記球状光電融合デバイスをはめ込むことができるような窪みをフォトリソ等で形成する。そのあと、該デバイスを紫外線硬化樹脂

等（図示せず）で固定する。この後、Auバンプ3502を用いてプリント配線3501とコンタクトをとる。

【0183】

（動作原理）

次に動作原理について説明する。

【0184】

（発光素子の場合）

図20あるいは図21において、ドライバーIC3102から供給される電気信号によって、発光素子3103は、光信号を発する。この光信号は実装されたコア層に出力光として放出される。コア層に直接光結合しているため、効率良く光を光導波路に導くことができる。

【0185】

2次元全方位に光信号を送出したい場合には、同一の信号を同時に変調して光信号を出せばよい。現在の場合4方位だが、この発光素子はLEDであるので、指向性は弱いため、実質全方位に一樣に近い強度分布で伝播される。さらに均一な強度分布にしたい場合には、(111)相当面以外のより高次数の面方位に発光素子を作製すればよい。放射光はその後、2次元光導波路を伝播することで、他の光電融合デバイスにその光信号を伝える。

【0186】

（受光素子）の場合

本実施例は受光素子としても使用することができる。

【0187】

図20あるいは図22において、光電融合デバイスのpn接合に、バイアス回路3301によって、逆バイアス（たとえば3.3V）をかける。このとき、この光電融合デバイスは、2次元の光コア層3106中を任意の方向から伝播してくる光信号を受光することができる。これは受光面が球面形状を有しているからである。入力光信号は内部に取り込まれ、逆バイアスをかけたPN接合付近で吸収され、電子信号に変換される。変換された電気信号は入力電気信号として近接するプリアンプ3102でCMOSロジックレベルまで増幅（あるいは減衰）さ

れたあと、さらに波形整形回路 3 1 0 2 等で処理されたあと、バンプでコンタクトされたプリント配線に伝送される。

【 0 1 8 8 】

(効果)

本実施例の効果は以下の通り。

- (1) 2次元の任意の方向からの光を受信できること
- (2) 集積された電子回路で、増幅や波形整形が可能なこと
- (3) 実装が容易なこと
- (4) 既存の電子回路に与える影響を少なくし、1つのデバイスで、光インタコネクットの I/O とすることができること。(実施例 9 : I I I - V N o n ボール G a A s)

本実施例は、球状 S i 基板の代わりに、球状 G a A s 基板を使用するものである。G a I n N A s は、G a A s に格子整合するため S i 基板を用いる場合よりも、簡単にバンドギャップ制御できる特長がある。

【 0 1 8 9 】

図 2 4 を用いてその製造方法について説明する。

【 0 1 9 0 】

(ボール I C の作製)

図 2 1 のように、アンドープ球状 S i 基板 (1 m m ϕ) 3 1 0 1 の一部、たとえば半球表面部 (ここでは北半球表面) に I C 3 1 0 2 を作製する。この I C は、発光素子の場合、駆動 I C だったり、パラレルシリアル変換回路だったりする。受光素子の場合には、バイアス回路、プリアンプ、波形調整回路、あるいはシリアルパラレル変換回路だったりする。もちろん両方の機能を兼ねる場合は、それに応じた電子回路を付加する。

【 0 1 9 1 】

これらの回路は、通常の F E T あるいは B i p o l a r プロセスで作製可能である。図 2 4 中、3 1 0 1 は球状半導体基板、3 5 0 1 はバッファ層、3 5 0 2 はクラッド層、3 5 0 5 はコンタクト層、3 5 0 6 は電極、3 5 0 7 は窓、3 4 0 1 は選択マスクである。

【0192】

(光デバイスの作製)

GaAs ボール IC プロセスがほぼ終了したあと、光デバイスを作製する。

【0193】

まず、球全体を窒化膜等でカバーし、光デバイス作製部分を平面に研磨およびポリッシングする。窒化膜で覆うのは、光デバイスプロセス中電子デバイスを保護するためと、選択成長用マスクとして使用するためである。球面を覆うため、応力の小さい膜を形成することが望ましい。光デバイス作製領域として、本実施例では、南半球における(111)面およびそれに準ずる面((100)、(010)、(-100)、(0-10)全部で4面)3301を用いた(1辺約20μm程度の三角平面)。図14は、図21をS極方向から見た平面図である。図23はこのひとつの面の断面図である。必要であれば再び窒化膜等で全体を覆ったあと、デバイス作製領域のみに窓を開ける。開口部の形状に応じて選択成長するので、本実施例では円筒状になるよう開口部を制御した。

【0194】

ここで(111)相当面を選んだ理由は以下の通り。

(1) 化学的に等価であることから、次に行う結晶成長で均一な構造を作製できる。

(もし、他の結晶面を含む場合、組成や膜厚、結晶成長方向には異方性が生じる。)

(2) S極に接する面(光の伝播方向に、少なくとも4つの方向に光を放出、あるいは少なくとも四方向からの光を受光できるためである。上記と同等以上の機能を有するのであれば、(111)相当面に限るものではない。

【0195】

(結晶成長)

図24を用いてデバイス構造について説明する。ガスソースMBE(分子線エピタキシー)法あるいはMOCVD(有機金属蒸着)法を用いて、選択領域(開口部)のみにGaAsをバッファ層3501としてまず積層する。次に、たとえば、In_{0.1}Ga_{0.9}Asに格子整合するようInの組成を徐々に変化させ

ながら InGaAs をさらに積層した。この後、 $n\text{-InAlGaAs}$ クラッド層 3502、 $\text{GaInNAs}/\text{InAlGaAsMQW}$ (多重量子井戸) 活性層 (発光波長 $1.3\mu\text{m}$) 3503、 $p\text{-InAlGaAs}$ クラッド層 3504 および $p\text{-InGaAs}$ コンタクト層 3505 を順次積層する。この結晶成長の工程は、 III-V 族同士の積層なので、実施例 8 の Si 上の III-V 族形成よりも容易であるという特長がある。次に、光入出射用の窓 3507 をつけたあと正電極 3506 を形成する。引き続き負電極を球内部から所望の位置に形成し、不必要な窒化膜を除去し、 IC の電極と配線して本実施例は完成する。

【0196】

(実装)

実装例を図 25 に示す。図において 3601 は PMMA 等の基板であり、3602 はその上に形成されたポリイミド等からなる光導波路コア層である。そのうえに PMMA に準じたクラッド層 3603 が形成されている。このクラッド層 3603 およびコア層 3602 に上記球状光電融合デバイスをはめ込むことができるような窪みをフォトリソ等で形成する。そのあと、該デバイスを紫外線硬化樹脂等 (図示せず) で固定する。このあと、 Au バンプ 3502 をもちいてプリント配線 3501 とコンタクトをとる。

【0197】

(動作原理)

受光デバイスとして動作させる場合には、前述の実施例の場合と同じである。すなわち、光デバイスに逆バイアスをかけることにより、光入射窓から広角から入射した光は、 PN 接合で吸収され電気信号として近接した電子デバイスに取り込まれる。 Ga(In)NAs は GaAs よりもバンドギャップが小さいので GaAs よりも低電圧で動作する。さらには、 Si よりも移動度が大きいため高速応答が可能である。

【0198】

GaInNAs は直接遷移型の化合物半導体であるため、発光素子としても使用可能である。発光素子として動作させる場合には、図 20 あるいは図 22 において、発光素子の駆動電極に順バイアスをかけることにより、 PN 接合で発光し

た光は光出射窓から広角に放射される。ロジックデータそのもので駆動してもよいし、ドライバ回路を介して駆動してもよい。

【0199】

発光デバイスの場合も受光デバイスの場合も、その表面は球面形状を有しているため、広い角度で、出射および入射が可能なことが大きな特徴となっている。

【0200】

(効果)

本発明特有の効果は以下のとおり。

(1) GaAsに比べより長波長の光を受光できる。

光源が、0.85 μ m帯の場合、実施例1のSi-pinPDでは、受光感度が不足する場合があるが、本実施例ではその心配はない。このことは電気回路の負担も少なくなる。

(2) CMOSは使えないが、代わりにFETやGaAs バイポーラ回路を使えるため高速処理に有利である。

(3) 高速処理できることを利用して、パラレルデータをシリアルデータに変換して転送することができる。

(4) 本構造では、GaAsNは直接遷移型であるため、発光素子としても使用可能である。

【0201】

本実施例では、球状GaAs基板を用いたが、これに限るものではない。

【0202】

(実施例10: III-VN on 球状 InP基板)

基板に球状InP基板を用いることで、他の効果を得ることができる。

図24を再度用いて説明する。

【0203】

(ボールICの作製)

図21のように、アンドープ球状InP基板(1mm ϕ)3101の半球表面(ここでは北半球表面)にIC3102を作製する。このICは、発光素子の場合、駆動ICであったり、パラレルシリアル変換回路だったりする。受光素子

の場合には、バイアス回路、プリアンプ、波形調整回路、あるいはシリアルパラレル変換回路だったりする。もちろん両方の機能を兼ねる場合は、それに応じた電子回路を付加する。これらの回路は、通常の F E T あるいは B i p o l a r プロセスで作製可能である。G a A s に比べ、バンドギャップが小さくかつ移動度が大きいので高速なドライバ回路を使用することができる。

【 0 2 0 4 】

(光デバイスの作製)

I n P ボール I C プロセスがほぼ終了したあと、光デバイスを作製する。

【 0 2 0 5 】

まず、球全体を窒化膜等でカバーし、光デバイス作製部分を平面に研磨およびポリッシングする。窒化膜で覆うのは、光デバイスプロセス中電子デバイスを保護するためと、選択成長用マスクとして使用するためである。球面を覆うため、応力の小さい膜を形成することが望ましい。光デバイス作製領域として、本実施例では、南半球における (1 1 1) 面およびそれに準ずる面 ((1 0 0) 、 (0 1 0) 、 (- 1 0 0) 、 (0 - 1 0) 全部で 4 面) 3 3 0 1 を用いた (1 辺約 2 0 μ m 程度の三角平面) 。図 2 2 は、図 2 1 を S 極方向から見た平面図である。図 2 3 はこのひとつの面の断面図である。必要であれば再び窒化膜等で全体を覆ったあと、デバイス作製領域のみに窓を開ける。開口部の形状に応じて選択成長するので、本実施例では円筒状になるよう開口部を制御した。

【 0 2 0 6 】

ここで (1 1 1) 相当面を選んだ理由は以下の通り。

(1) 化学的に等価であることから、次に行う結晶成長で均一な構造を作製できる。

(もし、他の結晶面を含む場合、組成や膜厚、結晶成長方向には異方性が生じる。)

(2) S 極に接する面 (光の伝播方向に、少なくとも 4 つの方向に光を放出、あるいは少なくとも四方向からの光を受光できるためである。上記と同等以上の機能を有するのであれば、(1 1 1) 相当面に限るものではない。

【 0 2 0 7 】

(結晶成長)

図 2 4 を用いてデバイス構造について説明する。ガスソース MBE (分子線エピタキシー) 法あるいは MOCVD (有機金属蒸着) 法を用いて、選択領域 (開口部) のみに InP をバッファ層 3 5 0 1 としてまず積層する。次に、たとえば、In_{0.9}Ga_{0.1}P に格子整合するよう In の組成を徐々に変化させながら InGaP をさらに積層した。この後、n-InAlGaP クラッド層 3 5 0 2、GaInNP/InAlGaP MQW (多重量子井戸) 活性層 (発光波長 1.5 μm) 3 5 0 3、p-InAlGaP クラッド層 3 5 0 4 および p-InGaP コンタクト層 3 5 0 5 を順次積層する。光入出射用の窓 3 5 0 7 をつけたあと正電極 3 5 0 6 を形成する。引き続き負電極を球内部から所望の位置に形成し、不必要な窒化膜を除去し、IC の電極と配線して本実施例は完成する。

【0208】

(実装)

実装例を図 2 5 に示す。図において 3 6 0 1 は PMMA 等の基板であり、3 6 0 2 はその上に形成されたポリイミド等からなる光導波路コア層である。その上に PMMA に準じたクラッド層 3 6 0 3 が形成されている。このクラッド層 3 6 0 3 およびコア層 3 6 0 2 に上記球状光電融合デバイスをはめ込むことができるような窪みをフォトリソ等で形成する。そのあと、該デバイスを紫外線硬化樹脂等 (図示せず) で固定する。このあと、Au バンプ 3 6 0 6 を用いてプリント配線 3 6 0 5 とコンタクトをとる。

【0209】

(動作原理)

受光デバイスとして動作させる場合には、光デバイスに逆バイアスがかかることにより、光入射窓から広角から入射した光は、PN 接合で吸収され電気信号として近接した電子デバイスに取り込まれる。InGaPN は InP よりもバンドギャップが小さいので InP よりも低電圧で動作する。さらには GaAs よりも移動度が大きいので高速応答が可能である。

【0210】

InGaPN は直接遷移型の化合物半導体であるため、発光素子として使用可

能である。発光素子として動作させる場合には、図 1 2 あるいは図 1 4 において、光デバイスに順バイアスがかかることにより、PN 接合で発光した光は光出射窓から広角に放射される。ロジックデータそのもので駆動してもよいし、ドライバ回路を介して駆動してもよい。

【 0 2 1 1 】

発光デバイスの場合も受光デバイスの場合も、その表面は球面形状を有しているため、広い角度で、出射および入射が可能なことが大きな特徴となっている。

【 0 2 1 2 】

(効果)

本発明特有の効果は以下のとおり。

- (1) バンドギャップが小さいので電気回路への負担が小さい。
- (2) Si や GaAs に比べさらに高速な回路を作製できる。
- (3) 1.5 μ m 帯の光が使用できるので、中継回路なしで低損失ファイバとも直接結合でき、長距離高速伝送が可能になる。

【 0 2 1 3 】

(実施例 11: III-VN on GaN 基板)

基板に球状 GaN 基板を用いることで、他の効果を得ることができる。

【 0 2 1 4 】

図 2 4 他を再度用いて説明する。

【 0 2 1 5 】

(ボール IC の作製)

図 2 1 のように、アンドープ球状 GaN 基板 (1 mm ϕ) 3 1 0 1 の半球表面 (ここでは北半球表面) に IC 3 1 0 2 を作製する。この IC は、発光素子の場合、駆動 IC だったり、パラレルシリアル変換回路だったりする。受光素子の場合には、バイアス回路、プリアンプ、波形調整回路、あるいはシリアルパラレル変換回路だったりする。もちろん両方の機能を兼ねる場合は、それに応じた電子回路を付加する。これらの回路は、通常の FET あるいは Bipolar プロセス (たとえば, S. C. Binari, K. Doverspike, G. Kelner H. B. Dietrich, and A. E. Wic

kenden; Solid State Electronics, 41 (1997), p. 97, あるいは、S. Yoshida and J. Suzuki; Journal of Applied Physics Letters, 85 (1999), p. 7931 など) と球状 Si プロセス (実施例 8 参照) を組み合わせることで作製可能である。Si に比べ、バンドギャップがきわめて大きいため、高温、高耐圧、高周波動作が可能であるという Si や他の III-V 材料とは別の性能指数をもつ。

【0216】

(光デバイスの作製)

GaN ボール IC プロセスがほぼ終了したあと、光デバイスを作製する。

【0217】

まず、球全体を窒化膜 (SiN 等) でカバーし、光デバイス作製部分を平面に研磨およびポリッシングする。窒化膜で覆うのは、光デバイスプロセス中電子デバイスを保護するためと、選択成長用マスクとして使用するためである。球面を覆うため、応力の小さい膜を形成することが望ましい。光デバイス作製領域として、本実施例では、南半球における (111) 面およびそれに準ずる面 ((100)、(010)、(-100)、(0-10) 全部で 4 面) 3301 を用いた (1 辺約 20 μ m 程度の三角平面)。図 22 は、図 21 を S 極方向から見た平面図である。図 23 はこのひとつの面の断面図である。必要であれば再び窒化膜等で全体を覆ったあと、デバイス作製領域のみに窓を開ける。開口部の形状に応じて選択成長するので、本実施例では円筒状になるよう開口部を制御した。

【0218】

ここで (111) 相当面を選んだ理由は以下の通り。

(1) 化学的に等価であることから、次に行う結晶成長で均一な構造を作製できる。

(もし、他の結晶面を含む場合、組成や膜厚、結晶成長方向には異方性が生じる。)

(2) S 極に接する面 (光の伝播方向に、少なくとも 4 つの方向に光を放出、あるいは少なくとも四方向からの光を受光できるためである。上記と同等以上の機

能を有するのであれば、(1 1 1) 相当面に限るものではない。

【0 2 1 9】

(結晶成長)

図 2 4 を用いてデバイス構造について説明する。ガスソース MBE (分子線エピタキシー) 法あるいは MOCVD (有機金属蒸着) 法を用いて、選択領域 (開口部) のみに GaN をバッファ層 3 5 0 1 としてまず積層する。次に、n-AlGaInN クラッド層 3 5 0 2、GaInN/AlGaInMQW (多重量子井戸) 活性層 (発光波長 0.4 μ m) 3 5 0 3、p-AlGaInN クラッド層 3 5 0 4 および p-GaN コンタクト層 3 5 0 5 を順次積層する。光入出射用の窓 3 5 0 7 をつけたあと正電極 3 5 0 6 を形成する。引き続き負電極を球内部から所望の位置に形成し、不必要な窒化膜を除去し、IC の電極と配線して本実施例は完成する。

【0 2 2 0】

(実装)

実装例を図 2 5 に示す。図において 3 6 0 1 は PMMA 等の基板であり、3 6 0 2 はその上に形成されたポリイミド等からなる光導波路コア層である。そのうえに PMMA に準じたクラッド層 3 6 0 3 が形成されている。このクラッド層 3 6 0 3 およびコア層 3 6 0 2 に上記球状光電融合デバイスをはめ込むことができるような窪みをフォトリソ等で形成する。そのあと、該デバイスを紫外線硬化樹脂等 (図示せず) で固定する。このあと、Au バンプ 3 6 0 6 をもちいてプリント配線 3 6 0 5 とコンタクトをとる。

【0 2 2 1】

(動作原理)

受光デバイスとして動作させる場合には、実施例 8 の場合と全く同じである。

【0 2 2 2】

すなわち、光デバイスに逆バイアスをかけることにより、光入射窓から広角から入射した光は、PN 接合で吸収され電気信号として近接した電子デバイスに取り込まれる。GaN は Si や GaAs、あるいは InP よりもはるかにバンドギャップが大きいので、高電圧が必要だが、反面、電子デバイスおよび光デバイス

共通に高温動作が可能である長所がある。

【0223】

発光素子として動作させる場合には、図20あるいは図22において、光デバイスに順バイアスをかけることにより、PN接合で発光した光は光出射窓から広角に放射される。ロジックデータそのもので駆動してもよいし、ドライバ回路を介して駆動してもよい。

【0224】

発光デバイスの場合も受光デバイスの場合も、その表面は球面形状を有しているため、広い角度で、出射および入射が可能なことが大きな特徴となっている。本実施例における効果は以下の通り。

- (1) バンドギャップが大きいので高温動作が可能である。
- (2) SiやGaAsに比べ高耐圧動作が可能である。
- (3) 0.4 μ m帯の光が使用できるので、On/Offを肉眼で確認できる。

【0225】

(実施例12：単層電気配線層＋光配線層＋フォトニックボールIC)

図26は本発明に係る実施例を説明するための模式図である。

【0226】

図26において4101は保持基板、4108および4107はその上に形成された光配線層および電気配線層である。4102は、電気配線層4102上に実装されたICチップである。

【0227】

図27は図1のB部の拡大図であり、4103はIC4102を実装するためのバンプ（たとえばボールハンダ）、4104はフォトニックボールIC、4105はそれらを電氣的に接続する電極パッドである。4106および4109は光配線層4108を構成する2次元光導波路層（以下光フィルムと称する）およびクラッド層である。以上の構成を光電融合基板と称する。

【0228】

本実施例においては、ICチップ4102を電気配線層4107に接続するに際して、複数の金属バンプを用いている（図26）。そして、複数の金属バンプ

の一部を、それと同程度大きさのフォトニックボール IC 4 1 0 4 に替えている。フォトニックボール IC 4 1 0 4 の一部は、光配線層 4 1 0 8 に埋め込まれている。

【 0 2 2 9 】

光配線層 4 1 0 8 を構成する、基板 4 1 1 1 は 0. 5 mm、コア層 4 1 0 6 は 0. 1 mm、クラッド層 4 1 0 9 は 0. 3 mm としたが、このサイズに限るものではない。なお、クラッド層は省いても良い。

電気配線層 4 1 0 7 としては単層の Cu マイクロストリップライン 4 1 1 0 を内蔵した熱溶融性樹脂材（厚さ 0. 3 mm）を用いることができる。

【 0 2 3 0 】

（フォトニックボール IC）

本発明の特徴のひとつは、光電融合基板への IC チップの実装を、EO あるいは OE デバイスを介して行う点にある。

【 0 2 3 1 】

次に、この EO あるいは OE デバイスの一例である、フォトニックボール IC について簡単に説明する（なお、製造方法については、例えば特開平 2 0 0 1 - 2 8 4 6 3 5 号公報に記載されている。）。

【 0 2 3 2 】

図 2 8 において、アンドープ球状 Si 基板（たとえば 1 mm ϕ ）4 2 0 1 であり、4 2 0 2 はその半球表面（ここでは北半球表面）に形成された IC である。4 2 0 3 は、南半球部表面に形成された、発光素子あるいは受光素子等の光デバイスである（ここでは、4 つの（1 1 1）相当面に形成された、GaInNAs / AlGaAs 系の面発光レーザや面型フォトダイオード用いることができる）。

【 0 2 3 3 】

IC 4 2 0 2 は、発光素子 4 2 0 3 と集積する場合、駆動 IC だったり、パラレルシリアル変換回路だったりする。受光素子 4 2 0 3 と集積する場合には、バイアス回路、プリアンプ、波形調整回路、あるいはシリアルパラレル変換回路だったりする。もちろん両方の機能を兼ねる場合は、それに応じた電子回路を付加

する。これらの回路は、通常のCMOSプロセスで作製可能で、そのロジック電圧は3.3Vである。

【0234】

図29はフォトニックボールICの別の形態を示している。図において電子回路部は上記と変わらないが、光デバイス部分が大きく異なっている。4305は半球状に形成された活性層であり、発光デバイスの場合、光デバイス用電極4307から注入されたキャリアが再結合して発光する。受光デバイスの場合、活性層4305には逆バイアスがかけられ、受光した光が電子-ホール対を形成する。どちらの場合も、球形状をしていることから、光放出あるいは光吸収ともに特別な光学系を用意することなく、高効率でEOあるいはOE変換することができる。

【0235】

(光電融合基板へのフォトニックICの実装)

次に、この球状光デバイスの実装方法について説明する。

まず、光電融合基板の表面(本実施例の場合、電気配線層4107)に前記フォトニックボールICをはめ込むことの可能な半球状の穴をあける。穴のあけ方については既述のとおりである。

【0236】

次に、光シートのくぼみに光Iデバイス部がくぼみの底になるように実装する。光取り出しおよび光取り込みが可能なようにくぼみの底に光I/O部が接するように位置合わせし固定する(図30参照)。位置合わせ後紫外線効果樹脂等で固定することができる。

【0237】

次に電氣的接続をフリップチップ実装法で行う。図30において、4103はバンプ、4105は電極パッドである。IC側電極パッド4105にバンプを載せ、基板側と前記フォトニックボールIC4104を位置合わせし、リフローによってバンプを溶融したあと冷却することで一挙に電氣的コンタクトを得ることができる。

【0238】

このようにフリップチップ実装とフォトリソボール IC の実装を同時に行うことで、工程が簡便になるだけでなく、フォトリソボール IC の機械的強度を高めることができる。

【 0 2 3 9 】

ここで、バンプは矩形のものをイメージして表記してあるがこれにこだわる必要はない。最後に、ICチップと光電融合基板の隙間をリフィル等で充填する（図示せず）ことでさらに、安定な実装状態とすることができる。

バンプにボールハンダを用いて、BGA（Ball Grid Array）のように実装してももちろんよい。

【 0 2 4 0 】

（動作原理）

以下動作原理について説明する。

【 0 2 4 1 】

（送信機能）

図 3 0 において、LSI 4 1 0 2 の電極パッド 4 1 0 5 は、バンプ 4 1 0 4 を介して近傍の電子デバイスに信号を伝送したり、受けたりすることができる。

LSI のロジック信号（たとえば CMOS なら 3.3 V）は、前記球状光デバイスを直接駆動するのに十分な電圧である。

【 0 2 4 2 】

フォトリソボール IC 4 1 0 4 上の発光デバイス（たとえば LED）に順バイアスとなるようロジック信号を印加することで、電気信号は光信号に変換される（パワーが必要な場合や所定のバイアス電圧をかけたい場合には、フォトリソボール IC 上にドライバ回路やバイアスをつくりこんでおけば良い）。発光した光はコア層 4 1 0 6 に放出され、特別な光学系なしで、光シート全面に出力光 4 1 0 9 として拡散伝播していく。基板サイズが 30 mm 程度および伝播損失が 0.3 dB/cm 以下なら、光出力 1 mW 程度で十分最小受信感度に必要な受信入力を得ることができる。

【 0 2 4 3 】

（受信機能）

逆に、光配線層（光フィルム）4 1 0 8の任意の方向から伝播してくる入力光信号4 1.1 0は、フォトニックボールICの受光素子4 1 0 2表面に達すると内部に取り込まれ、逆バイアスをかけたPN接合付近で吸収され電子信号に変換される。変換された電気信号は入力電気信号として、近接するLSI 4 1 0 2内部に取り込まれ処理される。

【0 2 4 4】

（電気パラレル・光シリアル伝送）

電気パラレル・光シリアル伝送について図3 1を用いて説明する。図3 1において、4 6 0 1は光電融合基板であり、4 6 0 2および4 6 0 8はCPU、4 6 0 3は、この2つのCPUが共有するRAM、4 6 0 4はその他デバイス、4 6 0 5は電気配線、4 6 0 6は光配線である。

【0 2 4 5】

通常の電気配線では、たとえば、6本の伝送路で64ビット幅のデータ線を必要としている。低速のデータ処理は問題は起きなくても、大容量のデータ高速で送る用途（動画など）では、基板上に配置された他のデバイスの動作から影響を受けやすくなったり、EMIの影響を与えやすくなる。従来の配線では、常時安定したデータを送ることは極めて困難である。このような用途のみに光配線を使う。

【0 2 4 6】

たとえば図3 1において、CPU 4 6 0 2からRAM 4 6 0 3に64ビット幅でデータを送るため、電気配線としては6本必要だが、CPUの最終段でパラレル・シリアル変換し、1個の光I/O素子を接続することで、電気信号が、光信号として、光電融合基板の光導波路部で伝送され、受け側の光I/O素子で受光したあと、シリアル・パラレル変換することで、64ビット幅のパラレル信号とする。パラレルからシリアル変換することで、クロックは高くなるが、光導波路に伝播するためEMIの心配はない。

【0 2 4 7】

なお、実装方法としてフリップチップ実装やBGA法を用いることで、光配線のために新たな実装方法を適用することなく、容易に実装することができる。B

G A (B a l l G r i d A r r a y) 法は、I C の電極パッドと基板の電極パッドを、バンプとよばれるハンダによってアレイ状に接続するもので、従来のワイヤボンディングに比べ、高速化、低占有面積、低抵抗化など極めて優れた特性を有している。

【 0 2 4 8 】

B G A のピッチとボールハンダの典型的なサイズは、それぞれ 1 m m および 0 . 5 0 m m ϕ 程度である。つまり、上記ホトニックボール I C が 1 m m ϕ 以下であれば、通常の B G A のプロセスを用いることができる。

【 0 2 4 9 】

フォトニックボール I C とは、球状の半導体基板（通常球状 S i 基板）上に、電子デバイスと光デバイスを集積したものであり、これ 1 つで O E / E O 変換できる。光電融合基板状の L S I からのロジック信号の電圧で直接駆動できるものを使用すれば、特別な付加回路は必要はない。また球形状を有しているので、特別な光学系を必要としないで前記光電融合基板の光フィルム部に光学結合させることができる。

【 0 2 5 0 】

（実施例 1 3 : 電気配線層と光配線層の順番を入れ替える）

図 3 2 は本発明の実施例を説明するための模式図である。実施例 1 2 と異なっているのは、電気配線層が多層からなっており、光配線層がその上に積層される構成になっている点である。

【 0 2 5 1 】

図 3 2 において 4 1 0 7 は多層の内部配線 4 1 1 0 からなる電気配線層であり、4 1 0 8 はコア層 4 1 0 6 およびクラッド層 4 1 0 9 からなる光配線層（光フィルム）である。

【 0 2 5 2 】

光配線層の最表面には電極パッド 4 1 0 5 および配線パターン（図示せず）が配置されており、電気配線層 4 1 0 7 とは、ビアホール 4 1 1 1 により結合されている。このビアホールは光配線層を貫いて形成されるが、光は 2 次元的に伝播するので、高密度にビアが形成されない限り影響は小さい。

【 0 2 5 3 】

本実施例特有の効果は、電気配線層の厚さによらず、光配線層を設置できる点にある。

【 0 2 5 4 】

(実施例 1 4 : 多層 PCB 基板中に光シートを 2 枚入れる。)

図 3 3 は、本発明他の実施例を説明するための模式図である。

【 0 2 5 5 】

実施例 1 2 と異なっているのは、電気配線層だけでなく光フィルムが両面に形成されている点である。

【 0 2 5 6 】

図 3 3 において 4 1 0 1 は保持基板であり、保持基板の両面に実施例 1 3 の構造が形成されている。さらに、保持基板 4 1 0 1 を貫通するビアホール 4 1 1 1 を形成することで、両面の電氣的接続を行うことができる。その他の工程は実施例 1 2 あるいは実施例 1 3 と同様である。

【 0 2 5 7 】

特別な場合として、保持基板 1 0 1 を除去してもよい。

【 0 2 5 8 】

図 3 4 は、この場合の例を説明する模式図である。

【 0 2 5 9 】

光電融合基板が 2 組の光配線層 (4 1 0 8) および 1 つの多層配線層 (4 1 0 7) からなっている。多層配線層および光配線層両方に可とう性のある材料をもちいることで光電融合フレキシブル基板とすることができる。

【 0 2 6 0 】

この構成の利点は、実装面積が大きくできることはもちろん、多層配線層中の配線が近接して、EMI が無視できなくなる状況では、光フィルムを用いて EMI フリーの光配線ができること、および、保持基板を取り除いたことで、よりフレキシブルな基板にすることができることである。たとえば、基板自体を 9 0 度折り曲げて実装することも可能である。

【 0 2 6 1 】

【発明の効果】

以上、本発明により、光伝送領域（光シート）を伝搬してくる光を受光する際に方向依存性を低減した半導体装置を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態について説明するための模式的斜視図である。

【図 2】

本発明の実施形態について説明するための模式的断面図である。

【図 3】

本発明を説明する為の斜視図である。

【図 4】

本発明を説明する為の模式的断面図である。

【図 5】

球状光デバイスの模式的断面図である。

【図 6】

本発明を説明するための模式的断面図である。

【図 7】

本発明を説明する為の図である。

【図 8】

本発明を説明する為の図である。

【図 9】

本発明を説明する為の図である。

【図 1 0】

本発明を説明する為の図である。

【図 1 1】

本発明を説明する為の図である。

【図 1 2】

本発明を説明する為の図である。

【図 1 3】

本発明を説明する為の図である。

【図 1 4】

本発明を説明する為の図である。

【図 1 5】

本発明を説明する為の図である。

【図 1 6】

本発明を説明する為の図である。

【図 1 7】

本発明を説明する為の図である。

【図 1 8】

本発明を説明する為の図である。

【図 1 9】

本発明を説明する為の図である。

【図 2 0】

本発明を説明する為の図である。

【図 2 1】

本発明を説明する為の図である。

【図 2 2】

本発明を説明する為の図である。

【図 2 3】

本発明を説明する為の図である。

【図 2 4】

本発明を説明する為の図である。

【図 2 5】

本発明を説明する為の図である。

【図 2 6】

本発明を説明する為の図である。

【図 2 7】

本発明を説明する為の図である。

【図 2 8】

本発明を説明する為の図である。

【図 2 9】

本発明を説明する為の図である。

【図 3 0】

本発明を説明する為の図である。

【図 3 1】

本発明を説明する為の図である。

【図 3 2】

本発明を説明する為の図である。

【図 3 3】

本発明を説明する為の図である。

【図 3 4】

本発明を説明する為の図である。

【図 3 5】

従来例を説明する為の図である。

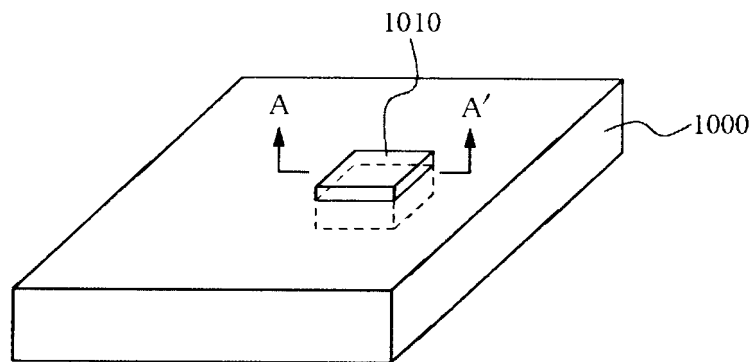
【符号の説明】

- 1 0 0 0 光伝送領域
- 1 0 1 0 受光部
- 1 1 0 1 光電融合基板
- 1 1 0 2 2次元光導波路層
- 1 1 0 3 電子デバイス
- 1 1 0 4 電気配線
- 1 1 0 5 光配線
- 1 1 0 6 電子デバイス
- 1 1 0 7 電子デバイス
- 1 1 0 8 電気配線領域
- 1 1 0 9 支持基板
- 1 2 0 1 受光部

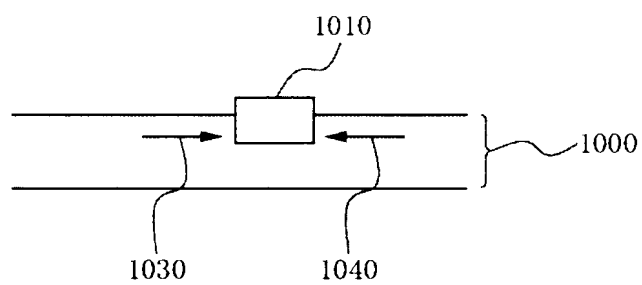
- 1 2 0 2 金属バンプ
- 1 5 0 1 球状部材
- 1 5 0 2 第 1 のクラッド層
- 1 5 0 3 活性層
- 1 5 0 4 カソード
- 5 0 5 アノード
- 5 0 6 ビアホール

【書類名】 図面

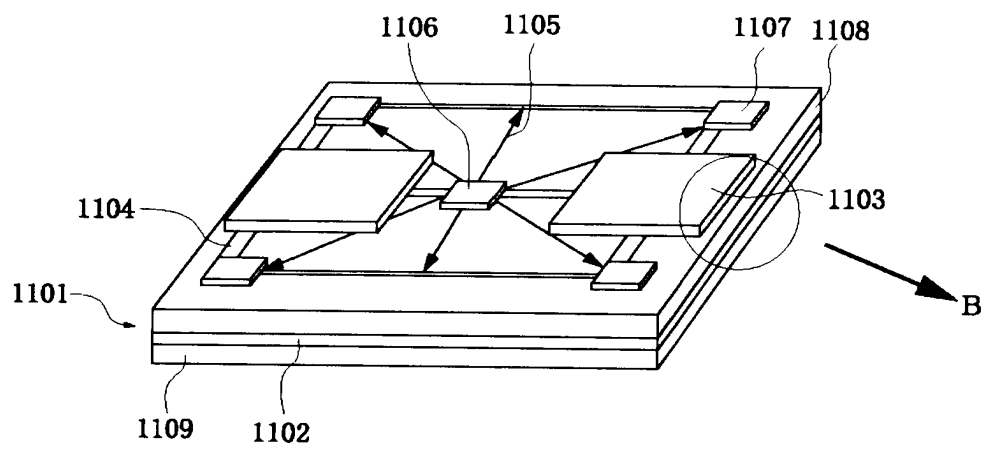
【図 1】



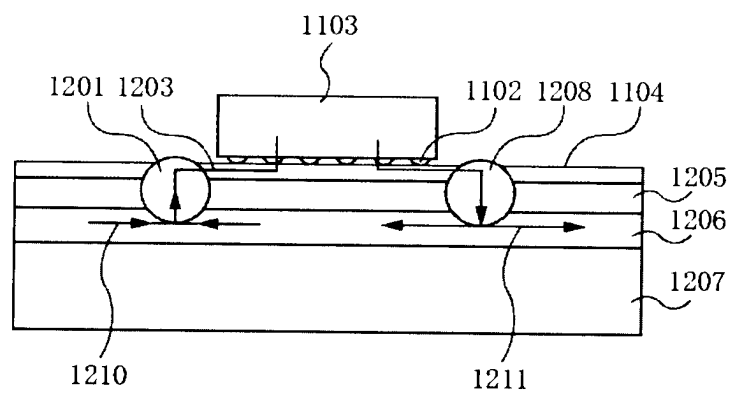
【図 2】



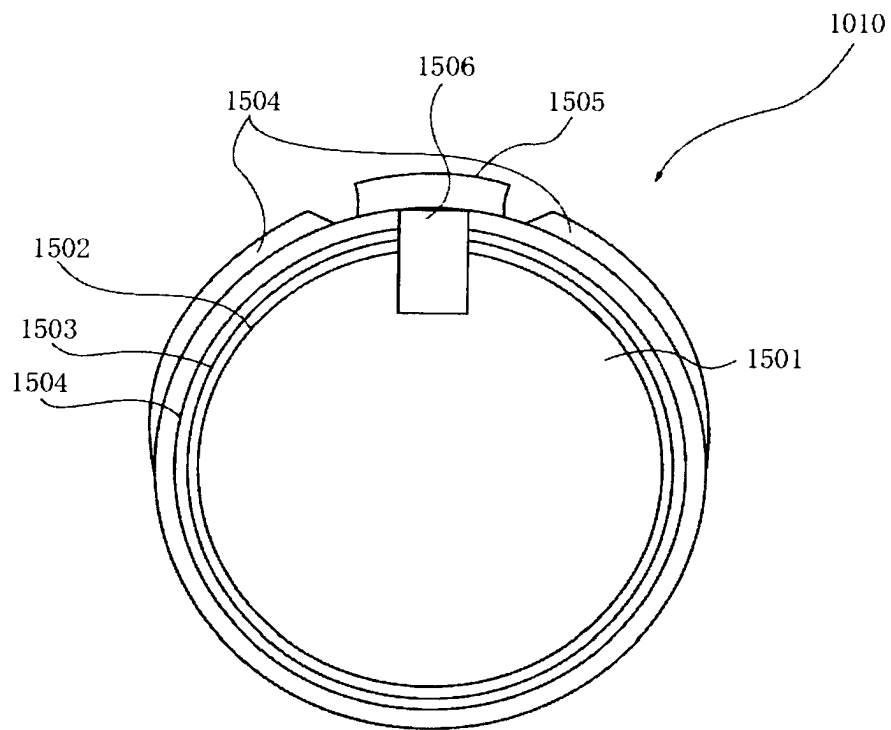
【図 3】



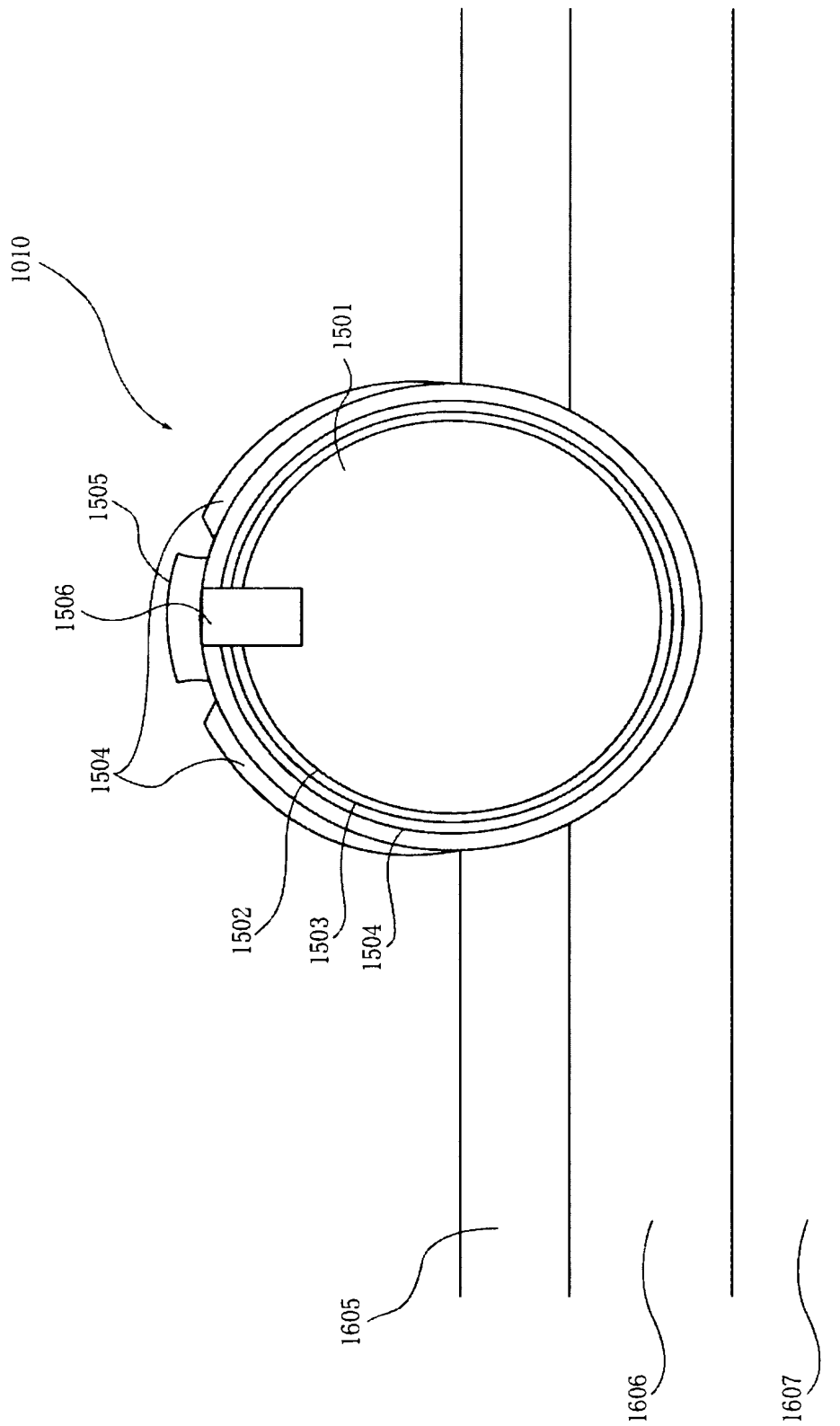
【図 4】



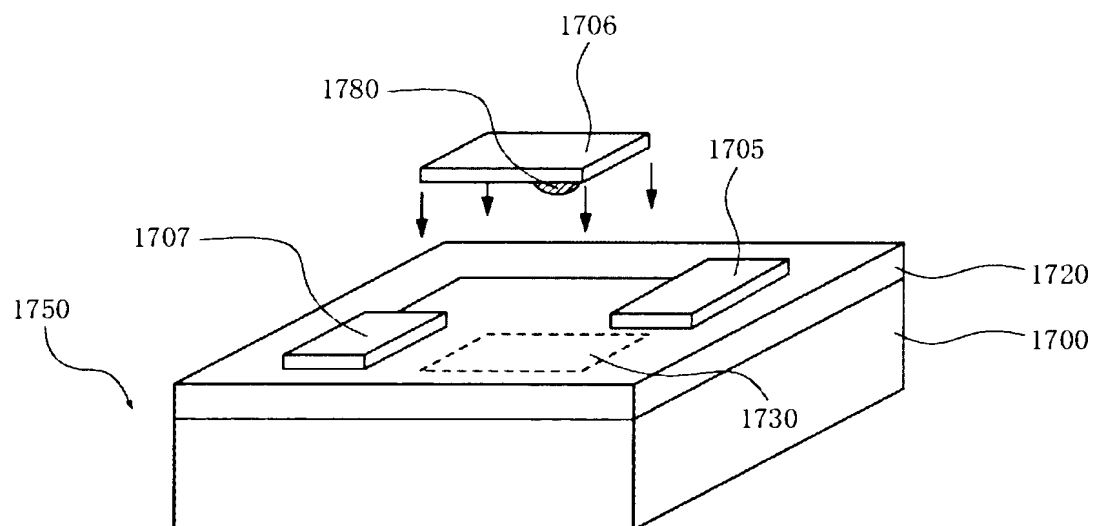
【図 5】



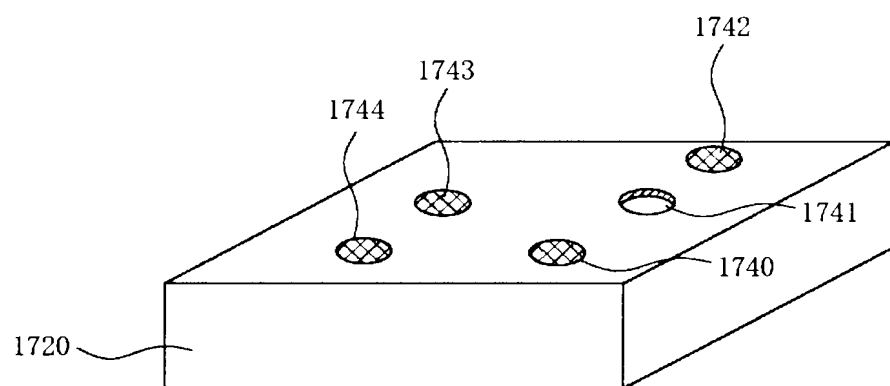
【図 6】



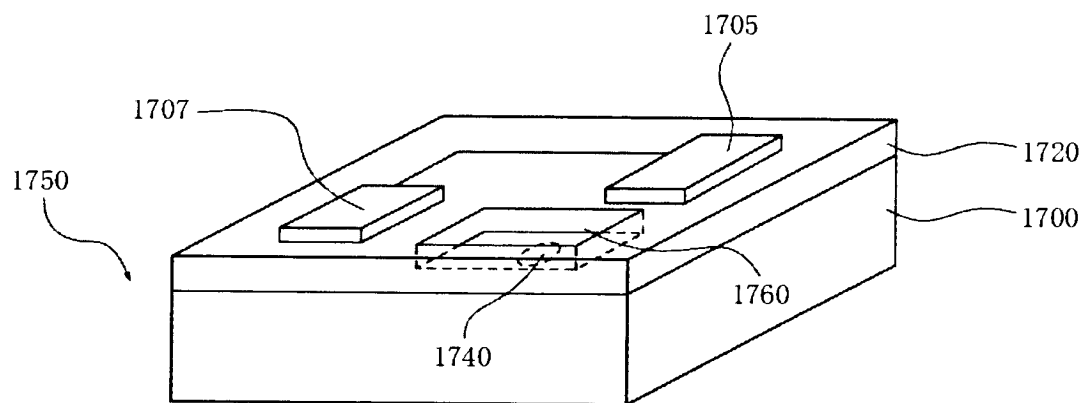
【図 7】



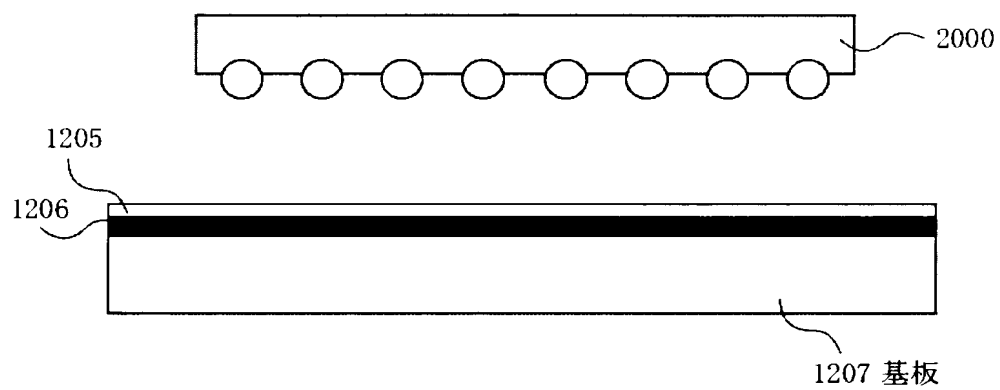
【図 8】



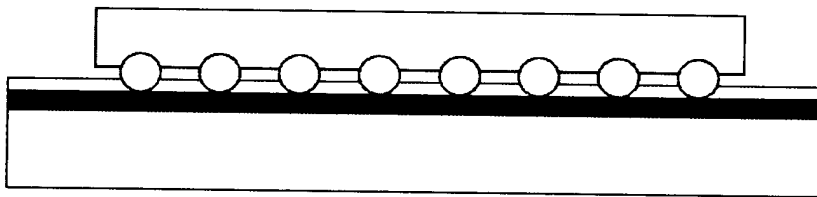
【図 9】



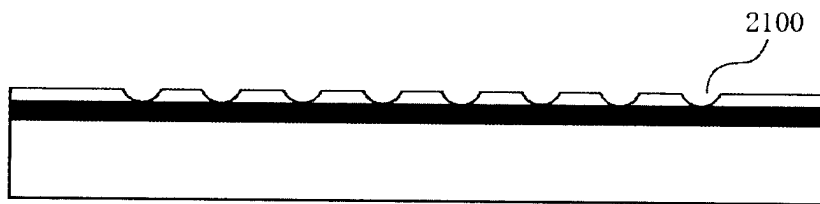
【図 1 0】



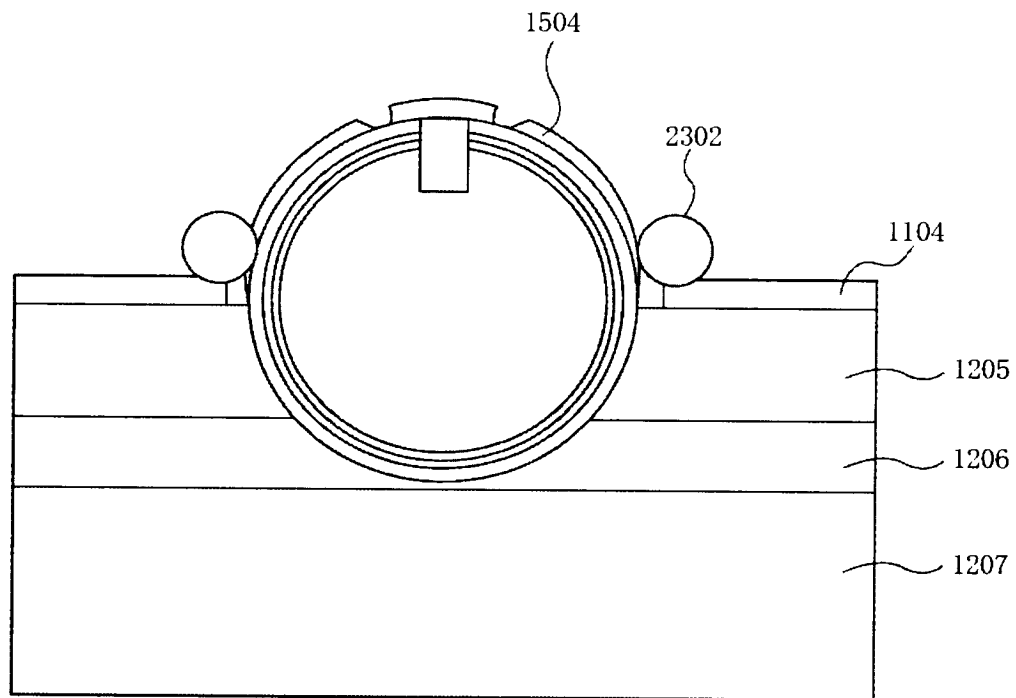
【図 1 1】



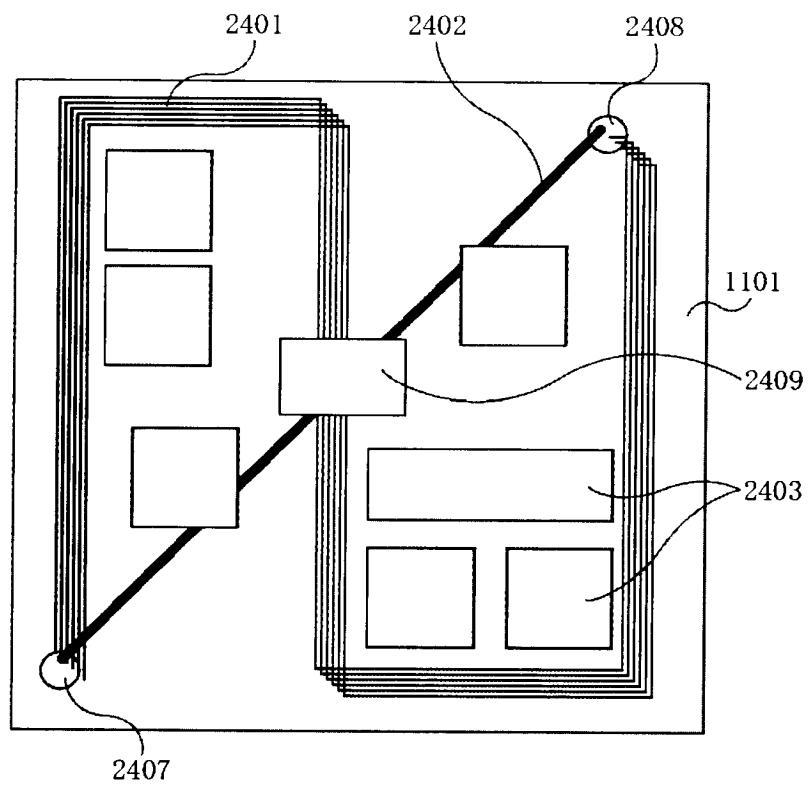
【図 1 2】



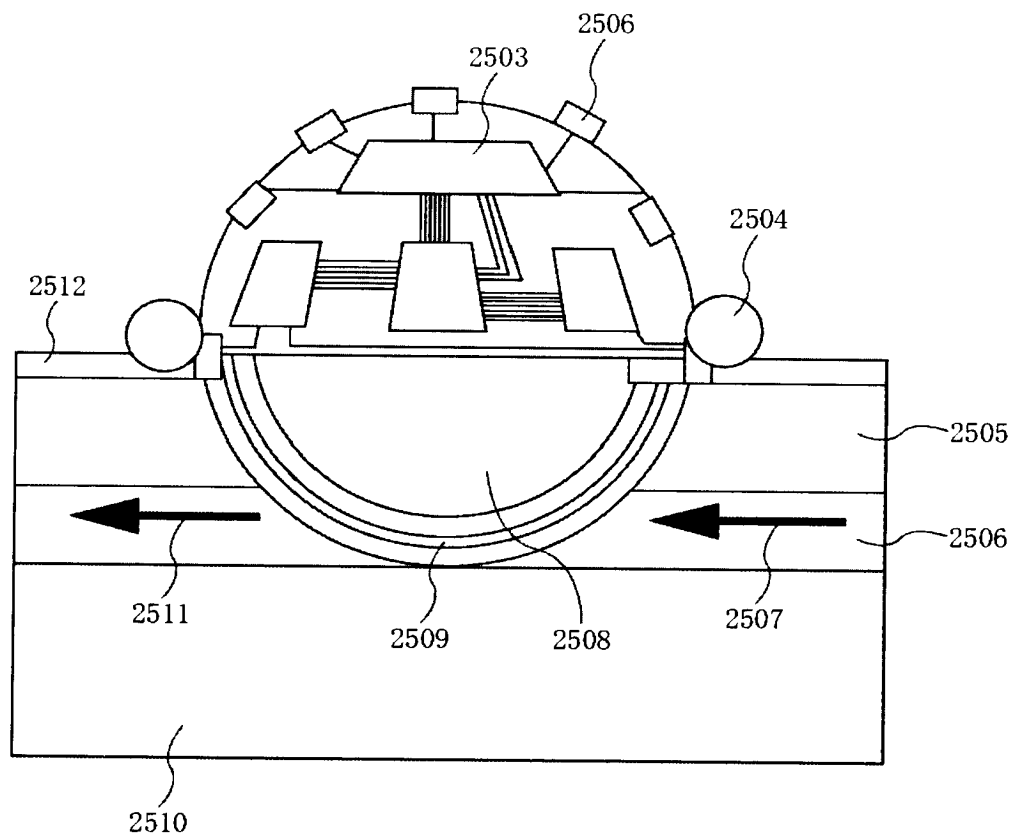
【図 1 3】



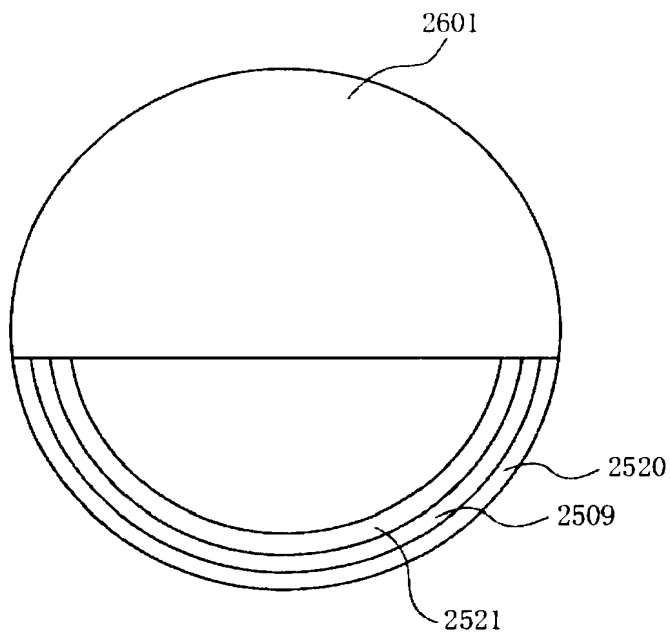
【図 1 4】



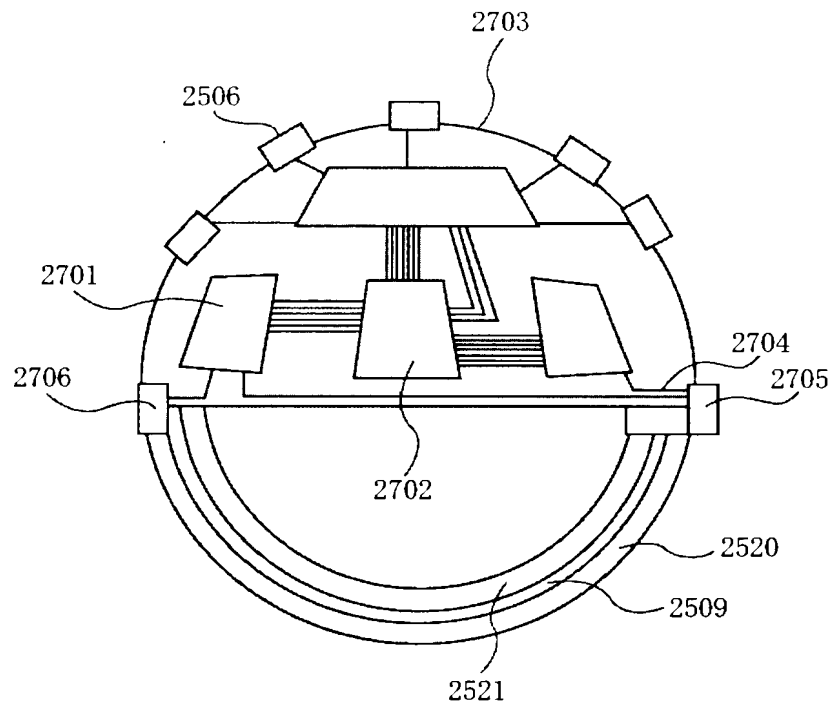
【図 1 5】



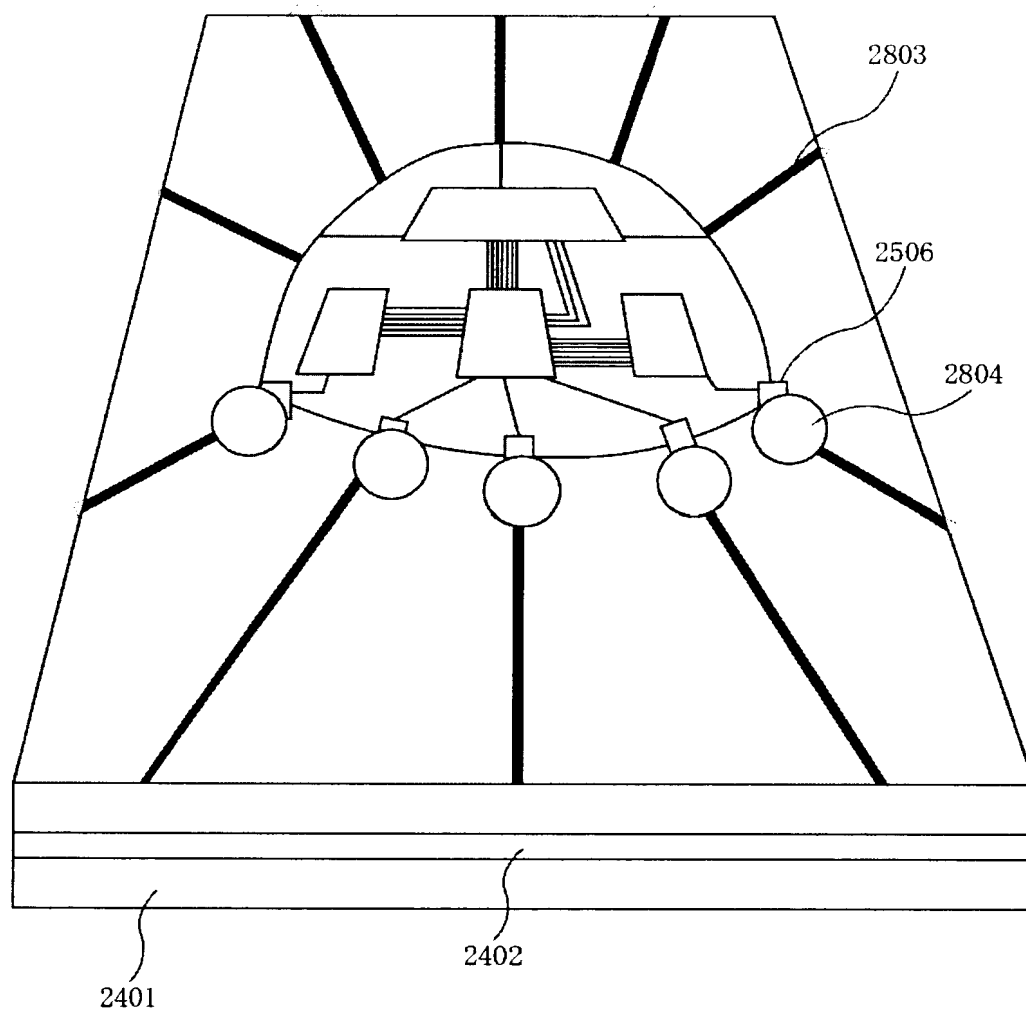
【図 1 6】



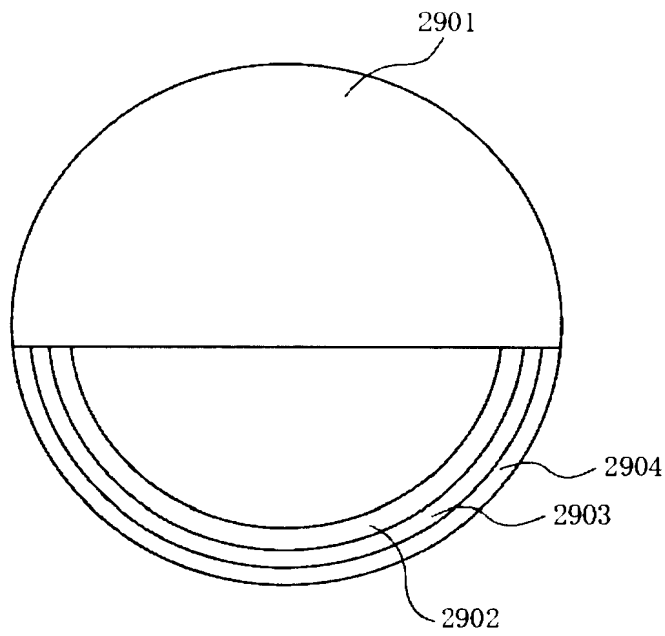
【図 1 7】



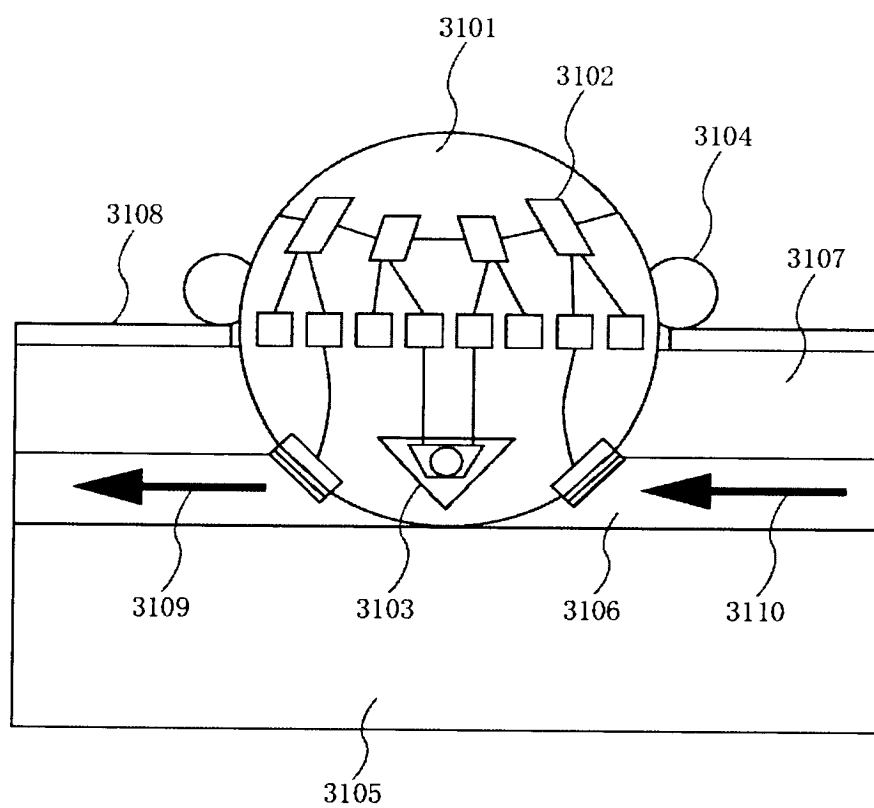
【図 1 8】



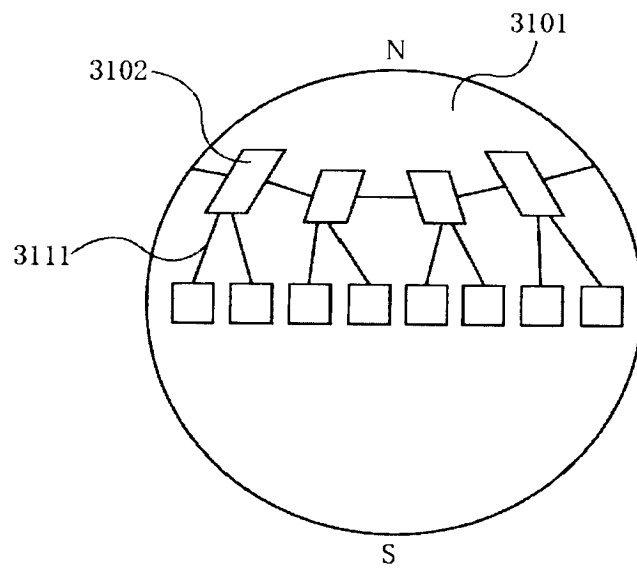
【図 1 9】



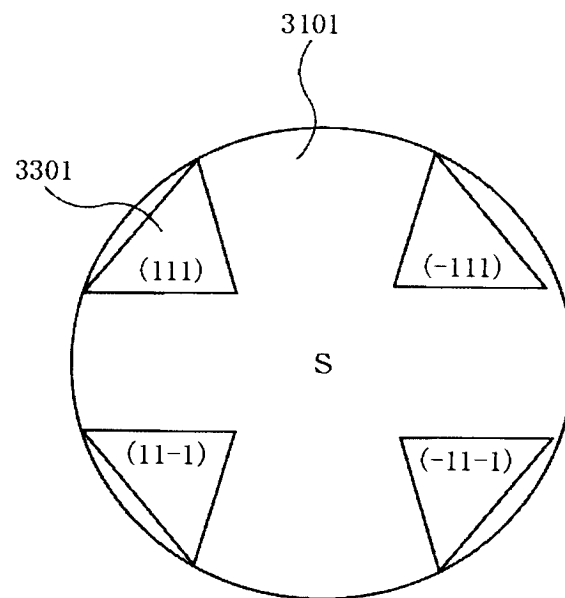
【図 2 0】



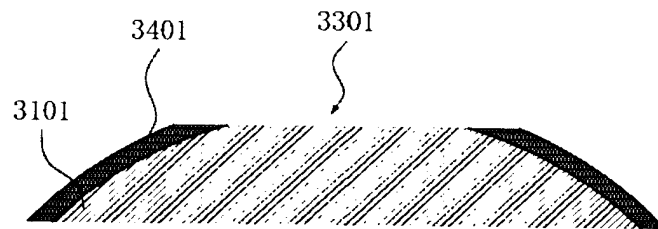
【図 2 1】



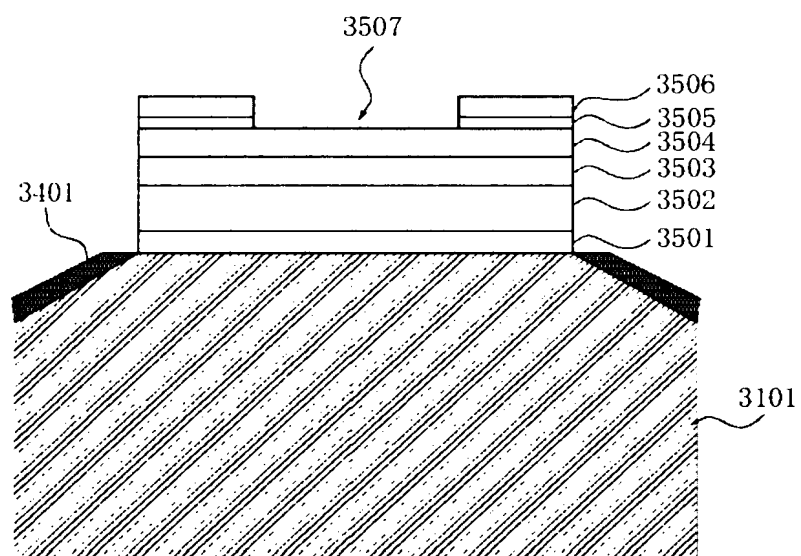
【図 2 2】



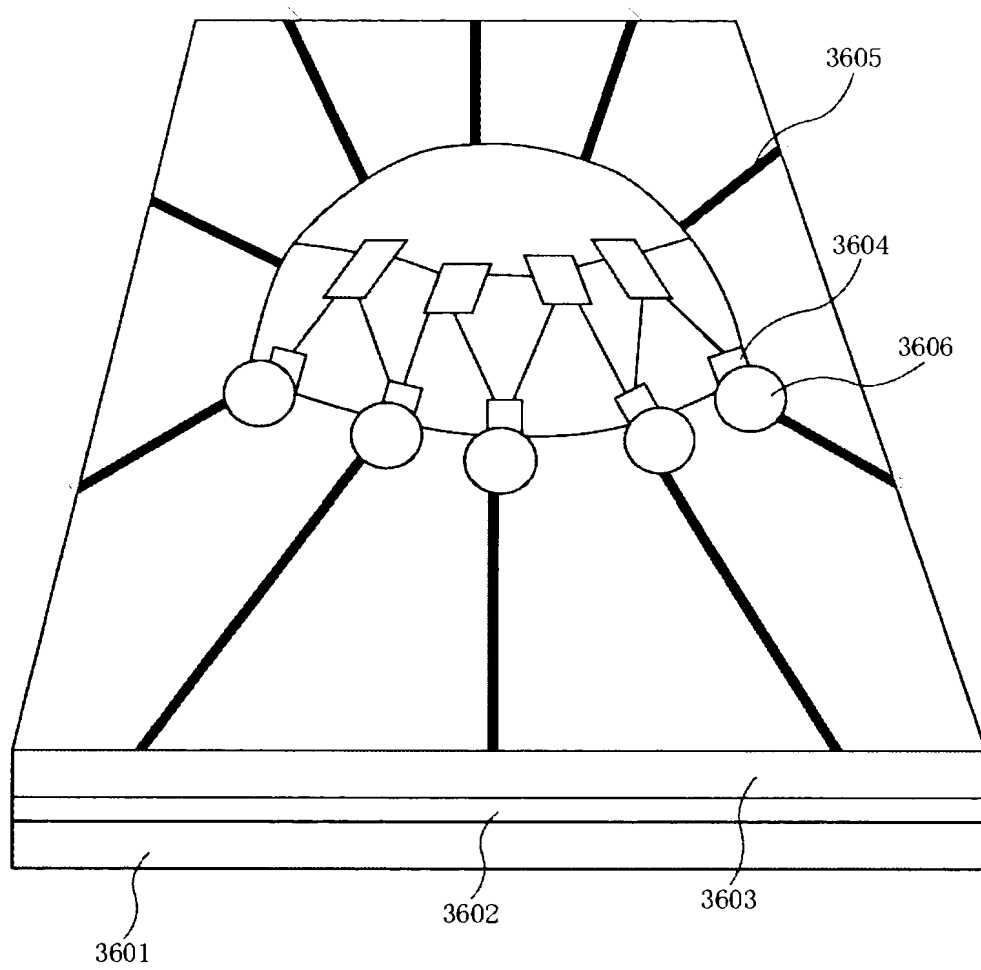
【 図 2 3 】



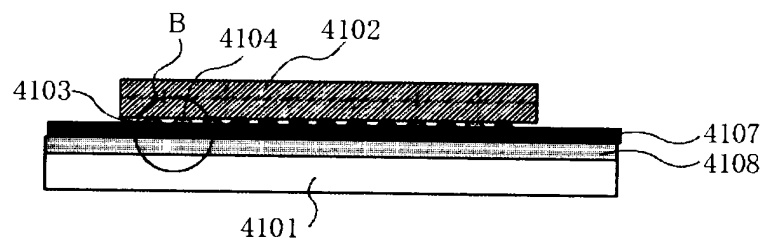
【図 2 4】



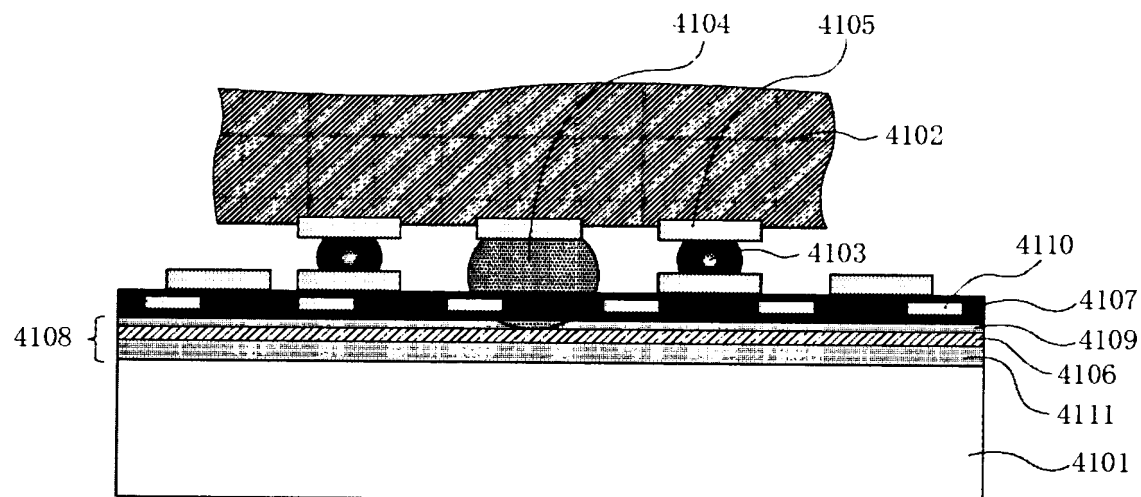
【図 2 5】



【図 2 6】

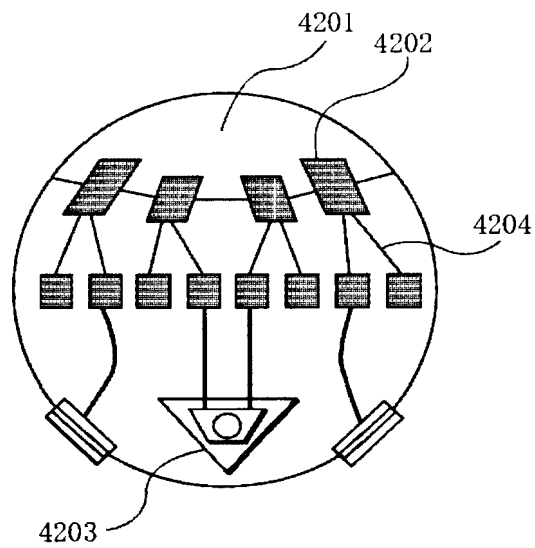


【図 2 7】



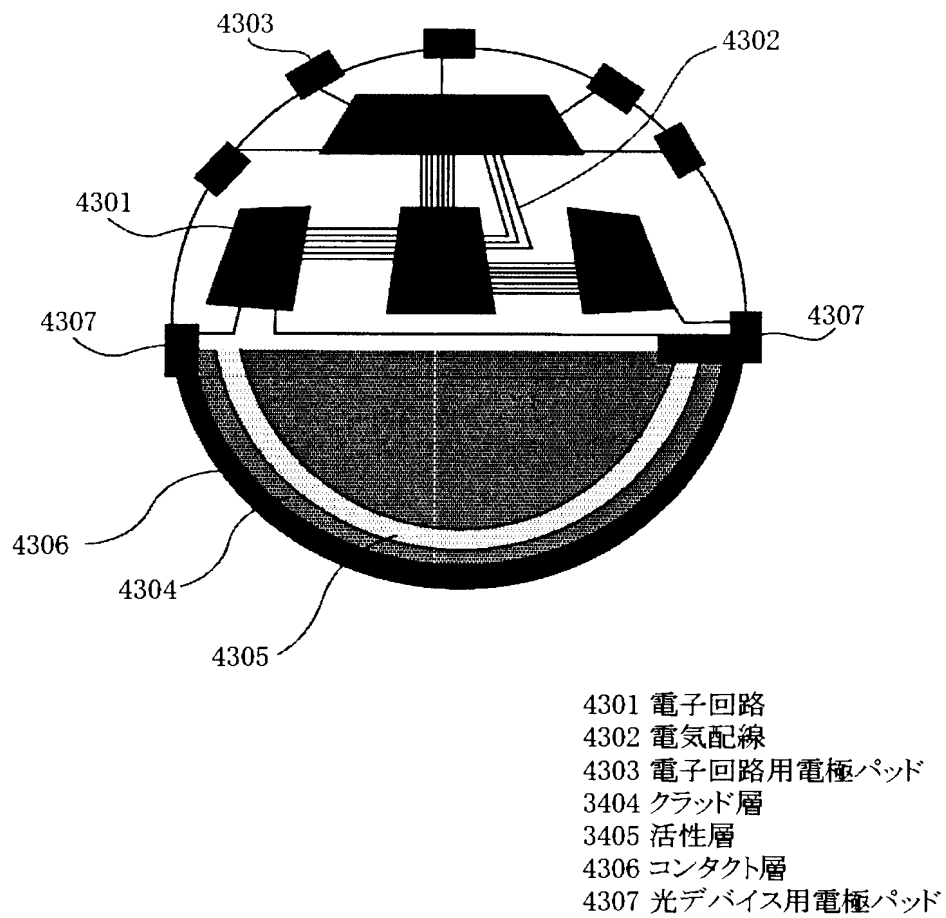
- 4101 保持基板
- 4102 ICチップ
- 4103 ハンダボール(ハンパ)
- 4104 フォトニックボールIC
- 4105 電極パッド
- 4106 コア層
- 4107 電気配線層
- 4108 光配線層(光フィルム)
- 4109 クラッド層
- 4110 マイクロストリップライン

【図 2 8】

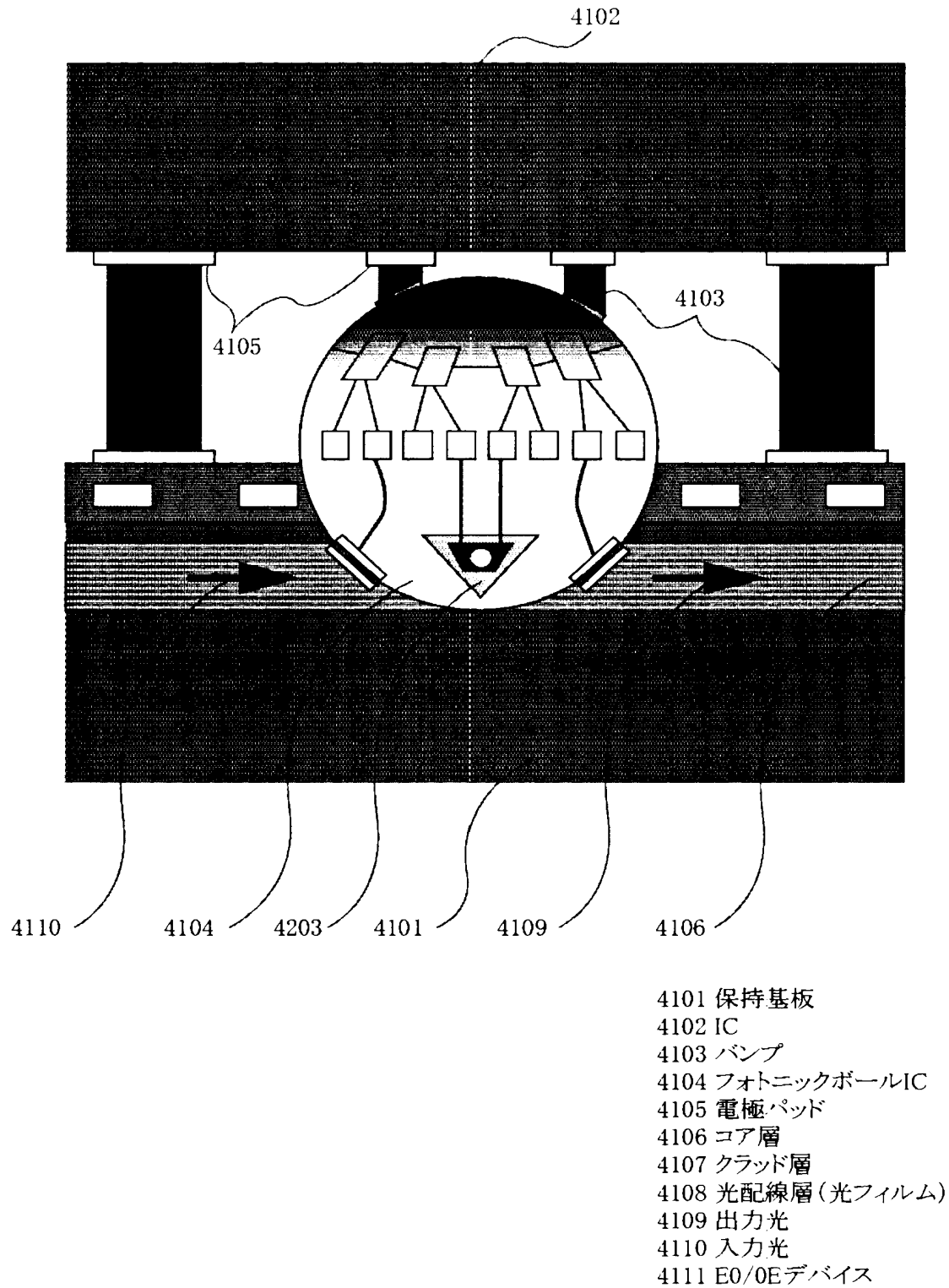


- 4201 球状半導体基板
- 4202 IC
- 4203 光デバイス
- 4204 電気配線

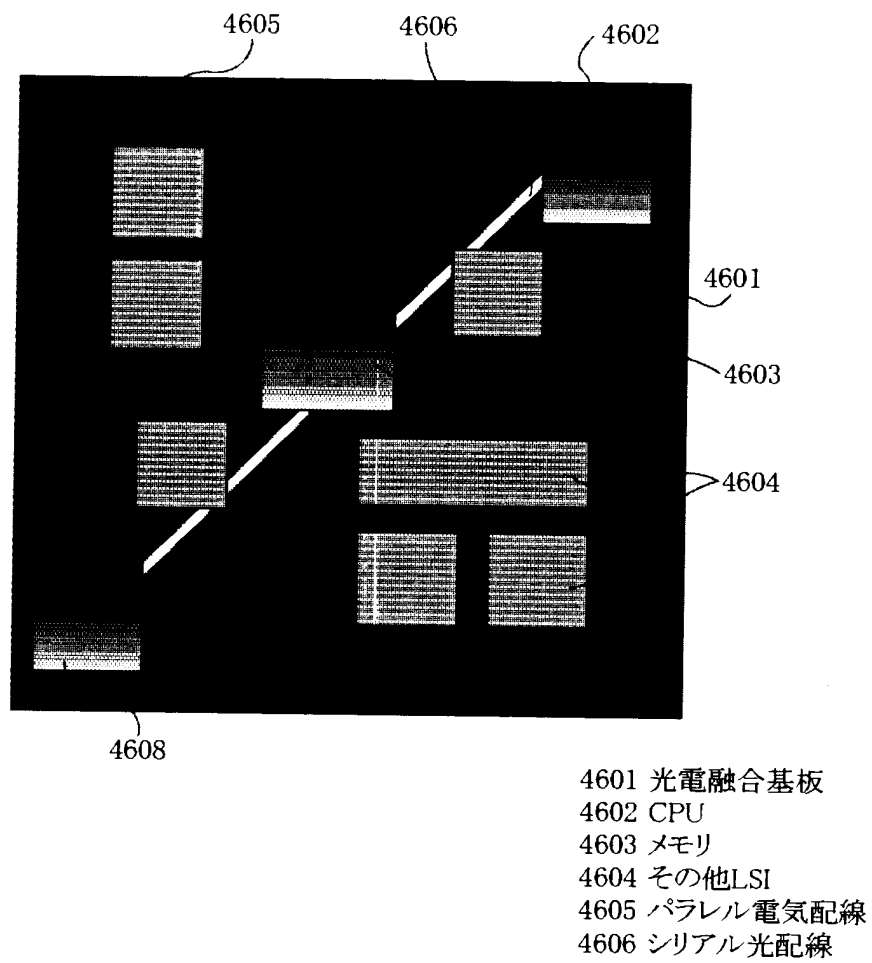
【図 2 9】



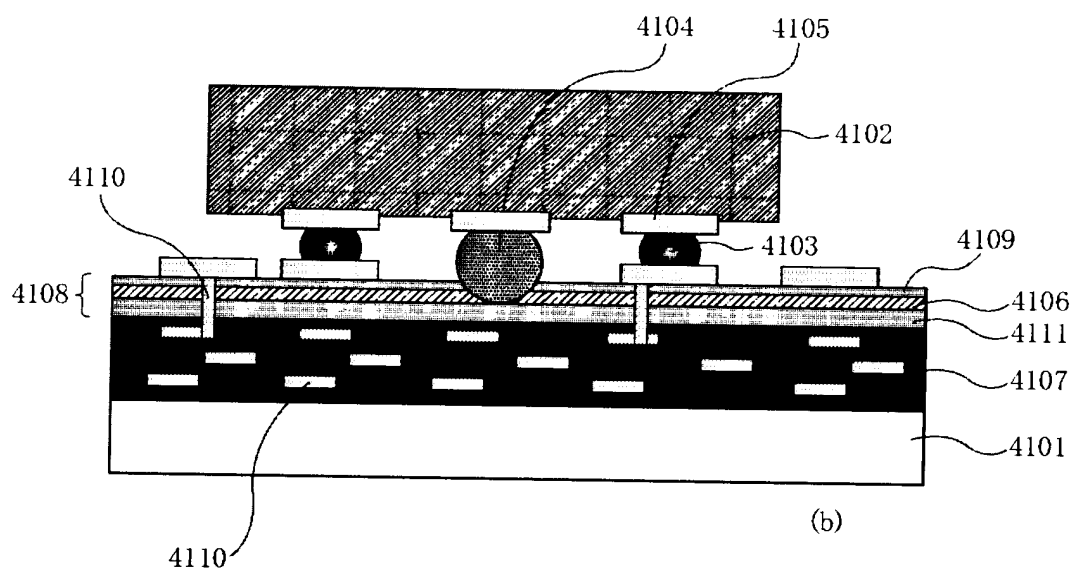
【図 3 0】



【図 3 1】

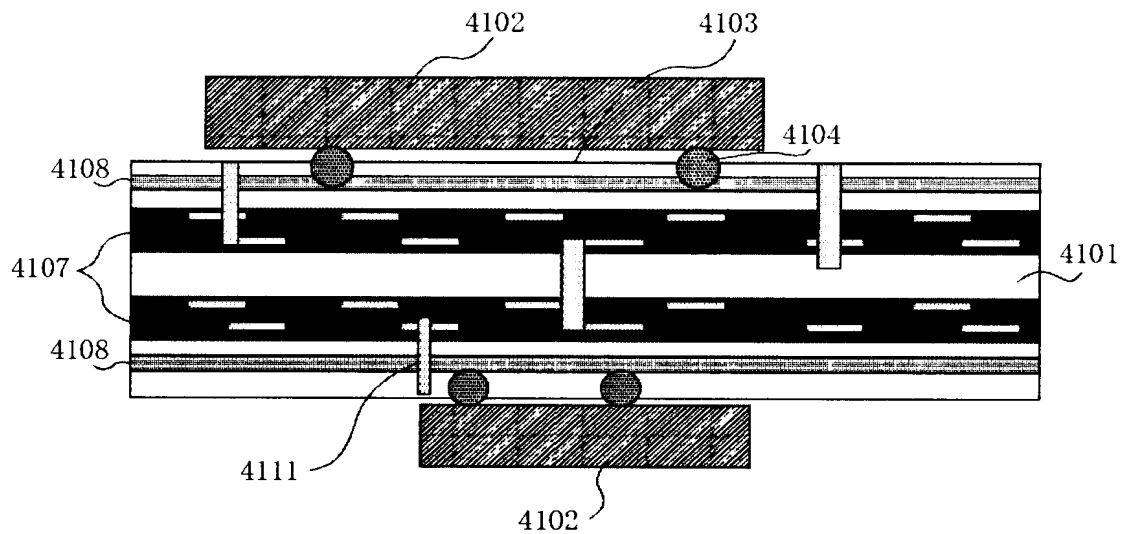


【図 3 2】



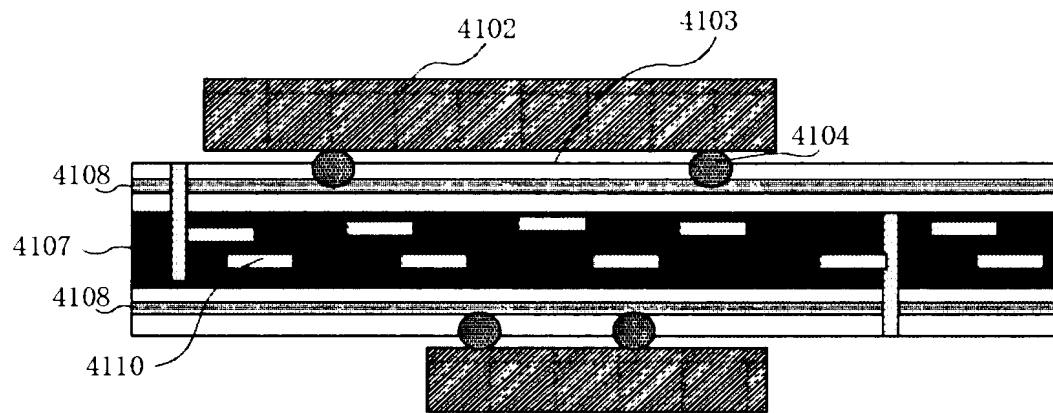
- (b)
- 4101 保持基板
 - 4102 ICチップ
 - 4103 ハンダボール(バンプ)
 - 4104 フォトニックボールIC
 - 4105 電極パッド
 - 4106 コア層
 - 4107 電気配線層
 - 4108 光配線層(光フィルム)
 - 4109 クラッド層
 - 4110 内部配線
 - 4111 ビア

【図 3 3】



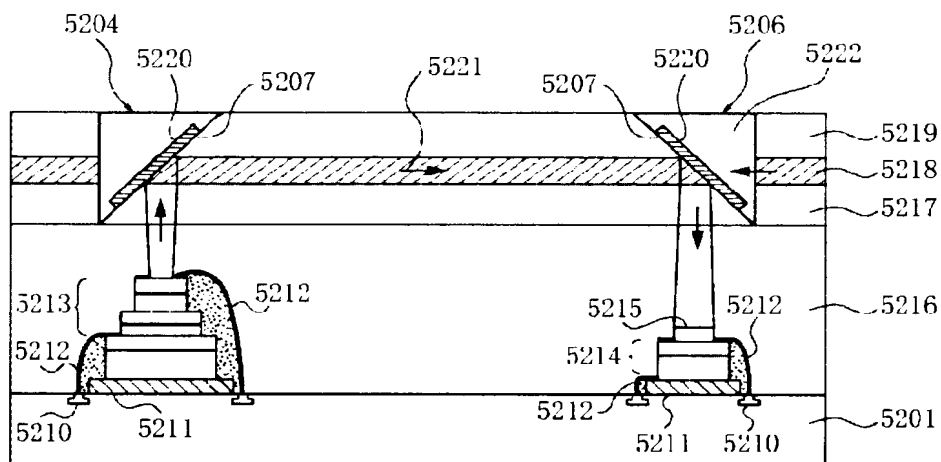
- 4101 保持基板
- 4102 LSI
- 4103 バンプ
- 4104 フォトニックボールIC
- 4107 電気配線層
- 4108 光フィルム
- 4110 内部配線
- 4111 ビア

【図 3 4】



- 4102 LSI
- 4103 バンプ
- 4104 フォトニックボールIC
- 4107 電気配線層
- 4108 光フィルム
- 4110 内部配線
- 4111 ビア

【図 3 5】



【書類名】 要約書

【要約】

【課題】 光伝送領域を伝搬してくる光を受光する際に、受光部の方向依存性を低減した半導体装置を提供する。

【解決手段】 光伝送領域及び該光伝送領域を伝搬する光を電気信号に変換する受光部を有する半導体装置であって、該光伝送領域は2次元型光導波路層を含み構成されており、且つ該受光部の少なくとも一部が該光伝送領域に埋め込まれていることを特徴とする半導体装置。

【選択図】 図3

認定・付加情報

特許出願の番号	特願 2 0 0 1 - 3 7 9 8 3 1
受付番号	5 0 1 0 1 8 2 9 5 0 5
書類名	特許願
担当官	第一担当上席 0 0 9 0
作成日	平成 1 3 年 1 2 月 1 8 日

<認定情報・付加情報>

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号

【氏名又は名称】 キヤノン株式会社

【代理人】 申請人

【識別番号】 100090538

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号 キヤノン
株式会社内

【氏名又は名称】 西山 恵三

【選任した代理人】

【識別番号】 100096965

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号 キヤノン
株式会社内

【氏名又は名称】 内尾 裕一

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社